
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040005580 A
(43)Date of publication of application: 16.01.2004

(21)Application number: 1020030017670
(22)Date of filing: 21.03.2003
(30)Priority: ..

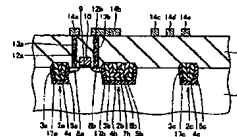
(71)Applicant: MITSUBISHI DENKI KABUSHIKI
KAISHA
(72)Inventor: SAWADA MAHITO
TOBIMATSU HIROSHI
HAYASHIDE YOSHIO

(51)Int. Cl. H01L 21/76

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57) Abstract:

PURPOSE: To provide a semiconductor device, along with its manufacturing method, which has an element isolation structure showing a proper separation characteristics, by filling the inside of a fine groove with an insulating film of proper film quality but without defects, such as voids. CONSTITUTION: The semiconductor device comprises a semiconductor substrate 1 and isolation insulators 2a-2c. Grooves 17a-17c are formed on the main surface of the semiconductor substrate 1. The separation insulators 2a-2c are formed inside the grooves by a thermal oxidation method, and isolate an element-forming region on the main surface of the semiconductor substrate 1. A plurality of oxide films 3a-3c, 4a-4c, 5a-5c, 6b, and 7b are laminates of the isolation insulators 2a-2c.



copyright KIPO & JPO 2004

Legal Status

Date of request for an examination (20030321)
Notification date of refusal decision ()
Final disposal of an application (rejection)
Date of final disposal of an application (20050325)
Patent registration number ()
Date of registration ()
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

10-2004-0005580

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/76

(11) 공개번호 10-2004-0005580
(43) 공개일자 2004년01월 16일

(21) 출원번호	10-2003-0017670
(22) 출원일자	2003년03월21일
(30) 우선권주장	JP-P-2002-00201396 2002년07월10일 일본(JP)
(71) 출원인	미쓰비시덴키 가부시카가이사 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고
(72) 발명자	사와다마하토 일본도쿄도지요다쿠마루노우치2조메2-3미쓰비시덴키가부시카가이사내 도비마쓰히로시 일본도쿄도지요다쿠마루노우치2조메2-3미쓰비시덴키가부시카가이사내 하야시데요시오 일본도쿄도지요다쿠마루노우치2조메2-3미쓰비시덴키가부시카가이사내
(74) 대리인	주성민, 구영창

심사청구 : 있음

(54) 절연체를 포함하는 반도체 장치 및 그 제조 방법

요약

미세한 홈(trench)의 내부를 보이드 등의 결함이 없는 양호한 막질의 절연막으로 충전함으로써, 양호한 분리 특성을 갖는 소자 분리 구조를 포함하는 반도체 장치 및 그 제조 방법을 얻을 수 있다. 반도체 장치는, 반도체 기판(1)과 분리 절연체(2a~2c)를 포함한다. 반도체 기판(1)의 주표면에는 홈(17a~17c)이 형성되어 있다. 분리 절연체(2a~2c)는 열산화법을 이용하여 홈의 내부에 형성되고, 반도체 기판(1)의 주표면에서 소자 형성 영역을 분리한다. 상기 분리 절연체(2a~2c)는 복수의 산화막(3a~3c, 4a~4c, 5a~5c, 6b, 7b)의 적층체이다.

대표도

도1

색인어

열산화법, 반도체 기판, 분리 절연체, 소자 형성 영역

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 장치의 실시예1을 도시한 단면 모식도.

도 2는 및 도 3은 도 1에 도시한 반도체 장치의 제조 방법의 제1 공정 및 제2 공정을 설명하기 위한 단면 모식도.

도 4는 분리 절연체를 형성하기 위해 이용하는 반도체 제조 장치의 모식도.

도 5는 도 4에 도시한 반도체 제조 장치를 이용하여, 분리 절연체를 형성하는 반도체 장치의 제조 방법의 흐름도를 도시한 도면.

도 6은 도 5에 도시한 흐름도에 따라 분리 절연체를 형성할 때의 도 4에 도시한 반도체 제조 장치에서의 프로세스 조건을 설명하기 위한 타이밍차트를 도시한 도면.

도 7~도 13은 도 1에 도시한 반도체 장치의 제조 방법의 제3 공정~제9 공정을 설명하기 위한 단면 모식도.

도 14는 본 발명의 효과를 설명하기 위한 확대 단면 모식도.

도 15는 본 발명의 효과를 설명하기 위한 확대 단면 모식도.

도 16은 본 발명에 따른 반도체 장치의 실시예2를 설명하기 위한 단면 모식도.

도 17은 도 16에 도시한 반도체 장치의 제조 공정에서 이용하는 반도체 제조 장치를 도시한 모식도.

도 18은 도 16에 도시한 반도체 장치의 분리 절연체를, 도 17에 도시한 성막 장치를 이용하여 형성하는 공정의 흐름도를 도시한 도면.

도 19는 도 17에 도시한 성막 장치를 이용하여 분리 절연체를 형성할 때의 성막 장치의 동작을 설명하기 위한 타이밍차트를 도시한 도면.

도 20~도 23은 도 16에 도시한 반도체 장치의 제조 방법의 제1 공정~제4 공정을 설명하기 위한 단면 모식도.

도 24는 산화막이 형성된 상태를 도시하는 확대 단면 모식도.

도 25는 본 발명의 도 16에 도시한 반도체 장치의 제조 방법에서의, 분리 절연체의 제조 방법의 다른 예를 설명하기 위한 흐름도를 도시한 도면.

도 26은 도 25에 도시한 분리 절연체의 제조 방법을, 도 17에 도시한 성막 장치에서 실시하는 경우의 성막 장치의 조작 조건을 설명하기 위한 타이밍차트를 도시한 도면.

도 27은 본 발명에 따른 반도체 장치의 실시예3을 도시한 단면 모식도.

도 28은 도 27에 도시한 반도체 장치의 분리 절연체를 형성하는 공정을 설명하기 위한 흐름도를 도시한 도면.

도 29~도 31은 도 27에 도시한 반도체 장치의 제조 방법의 제1 공정~제3 공정을 설명하기 위한 단면 모식도.

도 32는 본 발명에 따른 반도체 장치의 실시예3의 변형예를 도시하는 단면 모식도.

도 33~제35는 도 32에 도시한 반도체 장치의 제조 방법의 제1 공정~제3 공정을 설명하기 위한 단면 모식도.

도 36~도 39는 종래의 반도체 장치에서의 STI의 형성 방법의 제1 공정~제4 공정을 설명하기 위한 단면 모식도.

도 40 및 도 41은 종래의 반도체 장치의 문제점을 설명하기 위한 단면 모식도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 기판

2a~2c : 분리 절연체

3, 3a~3c, 4, 4a~4c, 5, 5a~5c, 6, 6b, 7, 7b, 33, 33a~33c, 34, 34a~34c, 35, 35a~35c, 36, 36b, 37, 37b : 산화막

8a, 8b : 소스/드레인 영역

9 : 게이트 절연막

10 : 게이트 전극

11 : 층간 절연막

12a, 12b : 콘택트홀

13a, 13b : 도전체막

14a~14e : 배선

15, 40, 40a~40c, 41, 41a~41c : 실리콘 산화막

16 : 실리콘 질화막

17a~17c : 홈

18, 38, 39 : 다결정 실리콘막

20 : 성막 장치

21 : 반응 용기

22 : 히터

23 : 가스 헤드

24a~24e, 26a~26e, 27a~27e : 밸브

25a~25e : 매스플로우 제어 장치

28 : 압력 제어 밸브

30, 31 : 다결정 실리콘막

32 : 보이드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 절연막에서의 보이드 등의 결함의 발생을 억제하는 것이 가능한 반도체 장치 및 그 제조 방법에 관한 것이다.

종래, 반도체 기억 장치 등으로 대표되는 반도체 장치에서는, 반도체 기판의 주 표면에, 전계 효과 트랜지스터 등의 회로 소자를 형성하기 위한 소자 형성 영역과, 이 소자 형성 영역을 분리하기 위한 소자 분리 구조가 형성된다. 소자 분리 구조 중 하나로, STI(Shallow Trench Isolation)라고 하는 구조가 있다. 도 36~도 39는 종래의 반도체 장치에서의 STI의 형성 방법을 설명하기 위한 단면 모식도이다. 도 36~도 39를 참조하여, 종래의 반도체 장치에서의 STI의 제조 방법을 설명한다.

우선, 반도체 기판(101)(도 36 참조)의 주 표면 위에, 열 산화법에 의해 실리콘 산화막(115)(도 36 참조)을 형성한다. 이 실리콘 산화막(115) 위에 감압 기상 성장법(LPCVD법 : Low Pressure Chemical Vapor Deposition) 등을 이용하여, 실리콘 질화막(116)(도 36 참조)을 형성한다. 실리콘 질화막(116) 위에, 포토리소그래피법을 이용하여 패턴을 갖는 레지스트막(도시하지 않음)을 형성한다. 이 패턴을 갖는 레지스트막을 마스크로서 이용하여, 통상의 이방성 에칭을 이용하여 홈(117a~117c)(도 36 참조)을 형성한다. 이와 같이 하여, 도 36에 도시한 바와 같은 구조를 얻는다.

이어서, 도 37에 도시한 바와 같이, 홈(117a~117c)의 내부로부터 실리콘 질화막(116)의 상부 표면 위까지 연장하는 실리콘 산화막(150)을 형성한다. 실리콘 산화막(150)의 형성 방법으로는, 예를 들면 테트라에톡시 실란(TEOS)을 이용한 LPCVD 법을 적용할 수 있다.

이어서, 실리콘 질화막(116) 위에 위치하는 실리콘 산화막(150)의 부분을, 포토리소그래피법 및 드라이 에칭(이방성 에칭)을 이용하여 제거한다. 그 후, 화학 기계 연마법(CMP법 : Chemical Mechanical Polishing)을 이용하여 실리콘 산화막(150)의 상부 표면을 평탄화한다. 그 결과, 도 38에 도시한 바와 같이, 홈(117a~117c)의 내부에 각각 실리콘 산화막(150a~150c)이 충전된 구조를 얻는다.

이어서, 실리콘 질화막(116)(도 38 참조) 및 실리콘 산화막(115)(도 38 참조)을 에칭법 등에 의해 제거한다. 그 결과, 도 39에 도시한 바와 같이, 반도체 기판(101)의 주 표면의 홈(117a~117c)의 내부에, STI를 구성하는 실리콘 산화막(150a~150c)이 배치된 구조를 얻을 수 있다. 그리고, 이 소자 분리 구조(STI)를 구성하는 실리콘 산화막(150a~150c)에 의해 분리된 소자 형성 영역에, 전계 효과 트랜지스터 등의 회로 소자를 형성한다.

발명이 이루고자 하는 기술적 과제

오늘날, 반도체 장치의 미세화, 고집적도화의 요구는 점점더 강해지고 있다. 그리고, 이러한 반도체 장치의 미세화에 수반하여, 상술한 소자 분리 구조도 그 사이즈를 작게 할 필요가 있다. 도 36~도 39에 도시한 바와 같은 STI 구조를 미세화하기 위해서는, 종래보다 폭이 좁은 홈(117a~117c)(도 37 참조)을 형성함과 함께, 이 폭이 좁은 홈(117a~117c)의 내부를 실리콘 산화막(150)(도 37 참조)에 의해 충전할 필요가 있다. 도 37에 도시한 공정에서는, 실리콘 산화막(150)을 형성하기 위해 TEOS를 이용한 LPCVD 법을 이용하였지만, 홈(117a~117c)의 폭이 좁아지면, 도 40에 도시한 바와 같이 홈(117a, 117c)의 내부에서, 실리콘 산화막(150) 내에 보이드(151)가 형성되는 경우가 있었다.

이것은, 상술한 TEOS를 이용한 LPCVD 법에 의해 형성되는 실리콘 산화막(150)의 단차 피복성이 불충분한 것에 기인한다. 즉, TEOS를 이용한 LPCVD 법에서는, 홈(117a~117c)의 내부에 실리콘 산화막(150)을 형성할 때, 홈(117a~117c)의 상부에서의 실리콘 산화막의 막 성장 속도가 홈(117a~117c)의 바닥부에서의 실리콘 산화막(150)의 막 성장 속도보다 빨라지게 된다. 그 때문에, 홈(117a, 117c)의 상부에, 홈(117a, 117c)에 대항하는 측면면 위에 성장한 실리콘 산화막(150)의 부분끼리, 다른 부분보다 먼저 접촉하기(실리콘 산화막(150)에 의해, 홈(117a, 117c)의 상부가 폐쇄된 상태로 되기) 때문이다. 이 때, 상술한 바와 같이 홈(117a, 117c)의 바닥부에서의 실리콘 산화막의 막 성장 속도는 상대적으로 느리기 때문에, 도 40에 도시한 바와 같이 홈(117a, 117c)의 상부가 실리콘 산화막(150)에 의해 폐쇄됐을 때에, 홈(117a, 117c)의 내부에 보이드(151)가 형성된다. 여기서, 도 40은 종래의 반도체 장치의 문제점을 설명하기 위한 단면 모식도이고, LPCVD 법에 의해 형성된 실리콘 산화막(150)에 보이드가 형성된 상태를 도시하고 있다.

이러한 보이드(151)가 형성되는지의 여부는 LPCVD 법의 프로세스 조건에도 의존하지만, 발명자가 검토한 결과로는, 홈(117a, 117c)의 폭(분리 폭)이 0.2 μ m보다 얇으면, 상술한 바와 같은 보이드(151)가 형성될 확률이 높아지게 된다. 이러한 보이드(151)가 형성되면, 결과적으로 홈(117a~117c)의 내부에 형성된 실리콘 산화막(150)에 의해 구성되는 소자 분리 구조의 분리 특성이 열화되는 경우가 있었다.

또한, 폭이 좁은 홈(117a, 117c)의 내부에 실리콘 산화막(150)(도 37 참조)을 형성하는 다른 방법으로서, 고밀도 플라즈마 CVD법(HDP-CVD법 : High Density Plasma Chemical Vapor Deposition)을 이용하는 것도 생각할 수 있다. HDP-CVD법으로는, 홈의 내부에 실리콘 산화막을 성막함과 동시에, 홈의 상부에서 실리콘 산화막이 에칭된다. 그 때문에, 홈의 상부에서 대항하는 홈의 벽면 위에 형성된 실리콘 산화막끼리 다른 부분보다 먼저 접촉할 확률을 저감시킬 수 있으므로, 홈의 내부에 보이드가 형성될 위험성을 저감시킬 수 있다.

그러나, HDP-CVD법을 이용하는 경우에도, 홈(117a~117c)(도 41 참조)의 폭이 좁아짐에 따라, 상술한 보이드의 형성을 억제하기 위해, 에칭 성분을 증가시킬 (홈(117a~117c)(도 41 참조)의 상부에서 실리콘 산화막(150)(도 41 참조)이 에칭될 때의 에칭 속도를 높일) 필요가 있다. 그 결과, HDP-CVD법을 이용하여 실리콘 산화막(150)(도 41 참조)을 형성한 경우, 도 41에 도시한 바와 같이, 홈(117a~117c)의 상부에서 실

리콘 산화막(150)뿐 아니라, 실리콘 질화막(116), 실리콘 산화막(115) 또한 반도체 기판(101)까지도 예칭되는 경우가 있었다. 도 41은 종래의 반도체 장치의 문제점을 설명하기 위한 단면 모식도로서, HDP-CVD법을 이용하여 실리콘 산화막(150)을 형성한 경우를 도시하고 있다.

이러한 경우, 반도체 기판(101)에는 홈(117a~117c)의 상부에 절삭부(152)가 형성된다. 이러한 절삭부(152)가 형성되면, 홈(117a~117c)의 내부에 형성된 실리콘 산화막(150)에 의해 구성되는 소자 분리 구조의 분리 특성이 열화되는 경우가 있었다. 그리고, 발명자가 검토한 결과로는, 상술한 바와 같은 절삭부(152)의 발생을 억제하면서 홈(117a~117c)의 내부를 실리콘 산화막(150)으로 충전할 수 있는 홈(117a~117c)의 폭은 0.12 μ m 정도가 한계였다.

또한, 상술한 LPCVD법이나 HDP-CVD법을 이용하여 형성한 실리콘 산화막(150)(도 40, 도 41 참조)은 열 산화법(실리콘막을 열 산화함으로써 실리콘 산화막을 형성하는 방법)에 의해 얻어진 실리콘 산화막과 비교하여, 그 막 내에 불순물을 많이 포함하고, 또한 그 조성도 불안정한 경우가 많다. 이와 같이, LPCVD법이나 HDP-CVD법에 의해 얻어지는 실리콘 산화막의 막질은 열 산화법에 의해 얻어지는 실리콘 산화막의 막질보다 열화되기 때문에, 상술한 LPCVD법 등을 이용하여 형성한 소자 분리 구조의 분리 특성이 열화하게 되어 있다. 그리고, 이러한 분리 특성의 열화는 홈(117a~117c)의 폭이 얇아짐에 따라 현저해졌다.

본 발명의 목적은 미세한 홈의 내부를, 보이드 등의 결함이 없는 양호한 막질의 절연막으로 충전함으로써, 양호한 분리 특성을 나타내는 소자 분리 구조를 포함하는 반도체 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 하나의 국면에 따른 반도체 장치는, 반도체 기판과 분리 절연체를 포함한다. 반도체 기판의 주 표면에는 홈이 형성되어 있다. 분리 절연체는, 열 산화법을 이용하여 홈의 내부에 형성되고, 반도체 기판의 주 표면에서 소자 형성 영역을 분리하는 것이다. 상기 분리 절연체는 복수의 산화막층의 적층체이다.

이와 같이 하면, 후술하는 제조 방법으로부터도 알 수 있듯이, 홈의 폭보다 훨씬 얇은 막 두께의 실리콘막 등 산화막층의 기초가 되는 막을 홈의 내부에 형성한 후, 그 실리콘막 등의 막을 열 산화하는 공정을 반복함으로써, 본 발명에 따른 절연체를 얻을 수 있다. 그리고, 상술한 산화막층의 기초가 되는 실리콘막 등을 형성할 때에, 단차 피복성에 우수한 성막 방법을 이용할 수 있으므로, 홈의 상부가 폐쇄되는 것에 기인하여 보이드 등의 결함이 형성될 위험성을 저감시킬 수 있다.

본 발명의 다른 국면에 따른 반도체 장치는, 반도체 기판과 절연체를 포함한다. 반도체 기판은 요철부가 형성된 주 표면을 갖는다. 절연체는, 요철부 위에 형성되고, n형 불순물 원소를 포함하는 복수의 산화막층의 적층체로 이루어진다.

이 경우, n형 불순물 원소에 의해 알칼리 금속 등의 불순물 원자를 트랩할 수 있으므로, 산화막층 내에서의 불순물 원자의 확산을 억제할 수 있다. 이 때문에, 알칼리 금속 등의 불순물 원자에 의한 반도체 소자의 특성 열화를 억제할 수 있다.

본 발명의 다른 국면에 따른 반도체 장치의 제조 방법은, 반도체 기판을 준비하는 공정과, 절연체 형성 공정을 포함한다. 반도체 기판을 준비하는 공정에서는, 요철부가 형성된 주 표면을 갖는 반도체 기판을 준비한다. 절연체 형성 공정에서는, 요철부 위에 CVD법을 이용하여 실리콘막을 형성하는 공정과, 실리콘막을 산화함으로써 실리콘 산화막을 형성하는 공정을 교대로 복수회 반복한다.

이와 같이 하면, 요철부의 오목부의 폭보다 훨씬 얇은 막 두께의 실리콘막 등, 산화막층의 기초가 되는 실리콘막을 오목부의 내부에 형성한 후, 그 실리콘막을 산화하는 공정을 반복함으로써, 본 발명에 따른 절연체를 포함하는 반도체 장치를 얻을 수 있다.

이하, 도면에 기초하여 본 발명의 실시예를 설명한다. 또, 이하의 도면에서 동일하거나 또는 상당한 부분에는 동일한 참조 번호를 붙여 그 설명은 반복하지 않는다.

(실시예1)

도 1을 참조하여, 본 발명에 따른 반도체 장치의 실시예1을 설명한다.

도 1에 도시한 바와 같이, 반도체 장치는 반도체 기판(1)의 주 표면에 소자 형성 영역을 둘러싸도록 형성된 분리 절연체(2a~2c)와, 이 절연체로서의 분리 절연체(2a~2c)에 의해 분리된 소자 형성 영역에서, 반도체 기판(1)의 주 표면 위에 형성된 회로 소자로서의 전계 효과 트랜지스터와, 이 전계 효과 트랜지스터의 소스/드레인 영역(8a, 8b)과 전기적으로 접속된 배선(14a, 14b)을 포함한다. 구체적으로, 반도체 기판(1)의 주 표면에서는, 상술한 바와 같이 소자 형성 영역을 둘러싸도록 분리 절연체(2a~2c)가 형성되어 있다. 이 분리 절연체(2a~2c)는 소위 STI(Shallow Trench Isolation)라고 하는 구조를 갖는다.

분리 절연체(2a)는 반도체 기판(1)의 주 표면에 형성된 홈(17a)의 내부에, 층 형상으로 적층된 복수의 산화막층으로서의 산화막(3a~5a)의 적층체로 구성되어 있다. 산화막(3a~5a)은, 홈(17a)의 내벽을 따라 연장하도록 형성되어 있다. 즉, 홈(17a)의 내부에서는, 홈(17a)의 측벽 및 바닥을 피복하도록 산화막(3a)이 형성되어 있다. 산화막(3a) 위에는 산화막(4a)이 형성되어 있다. 산화막(4a) 위에 산화막(5a)이 형성되어 있다. 이와 같이, 복수의 층 형상으로 적층된 산화막(3a~5a)으로 이루어지는 적층체로 인해, 홈(17a)의 내부가 충전된 상태로 되어 있다.

또한, 분리 절연체(2b)는 반도체 기판(1)의 주 표면에 형성된 홈(17b)의 내부를 충전하도록 배치된, 산화막층으로서의 산화막(3b~7b)의 적층체로 이루어진다. 구체적으로는, 홈(17b)의 측벽 및 바닥을 피복하도록 산화막(3b)이 형성되어 있다. 산화막(3b) 위에는 산화막(4b)이 형성되어 있다. 산화막(4b) 위에는 산화막(5b)이 형성되어 있다. 산화막(5b) 위에는 산화막(6b)이 형성되어 있다. 산화막(6b) 위에는 산화막(7b)이 형성되어 있다.

또한, 분리 절연체(2c)도 반도체 기판(1)의 주 표면에 형성된 홈(17c)의 내부를 충전하도록 배치된 산화막 층으로서의 산화막(3c~5c)의 적층체에 의해 구성되어 있다. 구체적으로는, 홈(17c)의 측벽 및 바닥을 피복하도록 산화막(3c)이 배치되어 있다. 산화막(3c) 위에 산화막(4c)이 배치되어 있다. 산화막(4c) 위에 산화막(5c)이 배치되어 있다.

분리 절연체(2a, 2b)에 의해 둘러싸인 소자 형성 영역에서는, 반도체 기판(1)의 주 표면 위에 게이트 절연막(9)을 개재하여 게이트 전극(10)이 배치되어 있다. 게이트 절연막(9) 아래의 채널 영역을 사이에 두고 소스/드레인 영역(8a, 8b)이 반도체 기판(1)의 주 표면에 형성되어 있다. 게이트 전극(10), 게이트 절연막(9) 및 소스/드레인 영역(8a, 8b)에 의해 전계 효과 트랜지스터가 형성되어 있다.

상술한 전계 효과 트랜지스터를 피복하도록, 반도체 기판(1)의 주 표면 위에는 층간 절연막(11)이 형성되어 있다. 층간 절연막(11)에서, 소스/드레인 영역(8a, 8b) 위에 위치하는 영역에는 콘택트홀(12a, 12b)이 형성되어 있다. 콘택트홀(12a, 12b)의 내부는 도전체막(13a, 13b)에 의해 각각 충전되어 있다. 도전체막(13a, 13b) 위에 위치하는 영역으로서, 층간 절연막(11)의 상부 표면 위에는 배선(14a, 14b)이 각각 배치되어 있다. 또한, 층간 절연막(11)의 상부 표면 위에는 다른 배선인 배선(14c~14e)이 배치되어 있다. 배선(14a, 14b)은 각각 도전체막(13a, 13b)을 통해 소스/드레인 영역(8a, 8b)과 전기적으로 접속되어 있다.

이와 같이 하면, 후술하는 제조 방법으로부터도 알 수 있듯이, 홈(17a~17c)의 폭보다 훨씬 얇은 막 두께의 다결정 실리콘막을 홈(17a~17c)의 내부에 형성한 후, 그 다결정 실리콘막을 열산화하는 공정을 반복함으로써, 본 발명에 따른 분리 절연체(2a~2c)를 얻을 수 있다. 그리고, 상기 다결정 실리콘막을 형성할 때에, 단지 피복성에 우수한 성막 방법을 이용할 수 있으므로, 홈(17a~17c)의 상부가 폐쇄되는 것에 기인하여 보이드 등의 결함이 형성될 위험성을 저감시킬 수 있다.

또한, 열 산화법을 이용하여 형성된 산화막(3a~3c, 4a~4c, 5a~5c, 6b, 7b)의 막질은 LPCVD 법이나 HDP-CVD법 등을 이용하여 형성된 산화막의 막질보다 우수하기 때문에, 우수한 분리 특성을 갖는 분리 절연체(2a~2c)를 실현할 수 있다.

이어서, 도 1에 도시한 반도체 장치의 제조 방법을, 도 2~도 13을 참조하여 설명한다.

우선, 반도체 기판(1)(도 2 참조)의 주 표면 위에, 열 산화법에 의해 얇은 실리콘 산화막(15)(도 2 참조)을 형성한다. 이어서, 감압 기상 성장법(이하, LPCVD법(Low Pressure Chemical Vapor Deposition)라고 함) 등의 성막 방법을 이용하여, 실리콘 질화막(16)(도 2 참조)을 형성한다. 이와 같이 하여, 도 2에 도시한 바와 같은 구조를 얻는다.

이어서, 포토리소그래피법과 에칭에 의해 반도체 기판(1)의 분리 절연체(2a~2c)(도 1 참조)가 형성되도록 영역에 홈(17a~17c)(도 3 참조)을 형성하는 공정을 실시한다. 이상과 같은 반도체 기판을 준비하는 공정을 실시함으로써, 도 3에 도시한 바와 같은 구조를 얻는다.

이어서, 도 4에 도시한 바와 같은 반도체 제조 장치를 이용하여, 분리 절연체(2a~2c)를 구성하는 산화막(3a~3c, 4a~4c, 5a~5c, 6b, 7b)(도 1 참조)을 형성한다. 이하, 도 4에 도시한 반도체 제조 장치의 구성을 간단히 설명한다.

도 4에 도시한 바와 같이, 반도체 제조 장치인 성막 장치(20)는 반응 용기(21)와, 반응 용기(21)의 내부에 설치된 가스 헤드(23)와, 반응 용기(21)의 내부에서 가스 헤드(23)와 대향하는 위치에 배치된 히터(22)와, 가스 헤드(23)를 통해 반응 용기(21)의 내부에 반응 가스를 공급하기 위한 반응 가스 공급 기구를 포함한다. 반응 가스 공급 기구는 도 4에 도시한 바와 같이 가스 헤드(23)에 접속된 복수의 배관과, 이 복수의 배관에 설치되고, 반응 가스의 공급량이나 공급의 개시 및 정지를 제어하기 위한 밸브(24a~24d, 26a~26d, 27a~27c) 및 매스플로우 제어 장치(25a~25d)를 포함한다. 매스플로우 제어 장치(25a~25d)는 각각 모노실란 가스(SiH_4 가스), 산소 가스(O_2 가스), 수소 가스(H_2 가스) 및 질소 가스(N_2 가스)의 유량을 제어하기 위해 이용된다.

또한, 반응 용기(21)에는, 반응 용기(21)의 내부로부터 분위기 가스를 배출하기 위한 배출 배관이 접속되어 있다. 그 배출 배관에는 압력 제어 밸브(28)가 설치되어 있다. 또, 상술한 히터(22)는 그 상부 표면 위에 피쳐리제인 반도체 기판(1)을 배치하기 위한 기판 홀더로서의 기능도 갖는다.

이어서, 도 4에 도시한 장치를 이용하여 분리 절연체(2a~2c)(도 1 참조)를 형성하는 방법을, 도 5에 도시한 흐름도에 기초하여 간단히 설명한다.

도 5에 도시한 바와 같이, 분리 절연체(2a~2c)(도 1 참조)를 형성하는 방법으로는, 우선 요철부가 형성된 주 표면을 갖는 반도체 기판을 준비하는 공정으로서, 반도체 기판의 주 표면에 홈을 형성하는 공정(S110)을 실시한다. 이것은 도 3에 도시한 공정에 대응한다. 이어서, 다결정 실리콘막을 형성하는 공정(S120)을 실시한다. 구체적으로는, 홈이 형성된 반도체 기판의 주 표면 위에, 홈의 내부로부터 반도체 기판(1)의 주 표면 위까지 연장하도록 CVD법을 이용하여 다결정 실리콘막을 형성한다. 이어서, 상술한 공정에서 형성한 다결정 실리콘막을 산화하는 산화 공정(S130)을 실시한다. 이 산화 공정(S130)에서는, 상기 공정(S120)에서 형성한 다결정 실리콘막이 모두 실리콘 산화막이 될 때까지 산화를 행한다.

이어서, 산화 공정(S130)에서 형성된 실리콘 산화막에 의해, 홈의 매립이 완료되었는지의 여부를 판정하는 공정(S140)을 실시한다. 그리고, 홈의 매립이 완료되지 않은 경우에는, 재차 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)을 반복한다. 그 결과, 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)을 반복하는 절연체 형성 공정에 의해, 홈의 내부에는 실리콘 산화막이 층 형상으로 형성되어 가게 된다. 그리고, 홈의 매립이 완료되었는지의 여부를 판정하는 공정(S140)에서, 홈의 매립이 완료되었다고 판단된 경우에는 반도체 기판의 주 표면 위에 위치하는 여분의 실리콘 산화막을 제거하는 공정 등의 후처리를 행하는 후처리 공정(S150)을 실시한다. 이와 같이 하여, 분리 절연체(2a~2c)를 형성하는 공정이 완료된다. 또, 홈의 매립이 완료되었는지의 여부를 판정하는 공정(S140)에서는, 미리 형성되는 산화막의 막 두께와 홈의 폭과의 관계로부터, 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)의 반

복 헛수를 결정해 두고, 그 반복 횟수만큼 상기 공정을 실시했는지의 여부를 제어 장치 등으로 검증해도 되며, 반도체 기판의 흠이 형성된 부분의 상태를 리얼타임으로 검출함으로써, 상기 판정을 행해도 된다.

이어서, 도 6에 도시한 타이밍차트 및 도 7~도 13에 도시한 단면 모식도를 참조하면서, 도 1에 도시한 반도체 장치의 제조 방법에서의 분리 절연체(2a~2c)의 제조 방법을 설명한다. 도, 도 6의 타이밍차트에서는, 종축이 반응 용기(21)(도 4 참조) 내부의 압력이나 모노실란 가스, 산소 가스, 수소 가스 등의 유량을 나타내고 있다. 또한, 횡축은 시간을 나타내고 있다.

우선, 도 3에 도시한 바와 같이 홀(17a~17c)이 형성된 반도체 기판(1)을, 도 4에 도시한 성막 장치(20)의 반응 용기(21)의 내부의 히터(22) 위에 설치한다. 그리고, 반응 용기(21)의 내부를 진공 상태 혹은 질소 등의 불활성 가스 분위기로 한다. 불활성 가스로서 질소를 이용하는 경우에는, 예를 들면 도 4에 도시한 밸브(24d, 26d)를 개방 상태로 함과 함께, 매스플로우 제어 장치(25d)에 의해 질소 가스(N_2 가스)의 유량을 제어한다. 또한, 이 때, 압력 제어 밸브(28)를 제어함으로써 반응 용기(21)의 내부를 소정의 압력으로 유지하도록 한다. 그 후, 히터(22)에 의해 반도체 기판(1)의 온도를 620°C 정도로 유지한다. 도, 반도체 기판(1)의 온도는 520°C 이상 750°C 이하로 하는 것이 바람직하다.

이어서, 도 6의 시점 t_1 에서, 도 4에 도시한 성막 장치(20)의 밸브(24a, 26a)를 개방 상태로 함과 함께, 매스플로우 제어 장치(25a)를 제어함으로써, 가스 헤드(23)를 통해 소정량의 모노실란 가스(SiH_4 가스)를 반응 용기(21)의 내부로 공급한다. 모노실란 가스의 공급량으로서는, 예를 들면 0.05리터/분(50sccm)으로 할 수 있다. 또, 이 때 반응 용기(21)의 내부의 압력은 압력 제어 밸브(28)를 제어함으로써 30Pa 정도로 유지한다. 이러한 상태를 도 6의 시점 t_2 까지 계속한다.

이 때, 반도체 기판(1)의 표면에서는 0.3nm/초라는 성장 속도로 다결정 실리콘막(18)(도 7 참조)이 형성된다. 그리고, 다결정 실리콘막(18)(도 7 참조)의 막 두께 T_1 (도 7 참조)이 약 2nm 정도가 된 시점인 시점 t_2 (도 6 참조)에서, 밸브(24a, 26a)(도 4 참조)를 폐쇄 상태로 함과 함께, 밸브(27a)(도 4 참조)를 개방 상태로 한다. 그 결과, 반응 용기(21)(도 4 참조) 내부에의 모노실란 가스의 도입이 정지된다. 그 후, 반응 용기(21)(도 4 참조) 내부의 모노실란 가스를 배기구로부터 배출함으로써, 반응 용기(21)의 내부를 진공 상태로 한다. 또, 여기서는 충분히 저압의 상태(예를 들면, 압력이 13.3Pa 이하)를 진공 상태라고 한다. 이와 같이 하여, 도 7에 도시한 바와 같은 구조를 얻는다. 또, 상술한 바와 같이 모노실란 가스로부터 다결정 실리콘막(18)을 형성하는 공정이, 도 5에 도시한 다결정 실리콘막을 형성하는 공정(S120)에 대응한다.

이어서, 도 4에 도시한 성막 장치(20)에서, 밸브(24b, 24c, 26b, 26c)를 개방 상태로 하고, 매스플로우 제어 장치(25b, 25c)를 제어함으로써 반응 용기(21)의 내부로 소정량의 산소(O_2) 가스 및 수소(H_2) 가스를 도입한다. 이 때, 반응 용기(21)의 내부에 도입되는 산소 가스와 수소 가스의 혼합 가스에서의 산소 가스와 수소 가스와의 유량비는 3 대 1($O_2 : H_2 = 3 : 1$)로 한다. 또, 산소 가스와 수소 가스의 혼합 가스에서의 수소 가스의 체적 비율(산소 가스의 유량에 대한 수소 가스의 유량의 비율)은 1% 이상 30% 이하인 것이 바람직하다. 또한, 보다 바람직하게는 산소 가스와 수소 가스의 혼합 가스에서의 수소 가스의 체적 비율을 1% 이상 20% 이하로 한다. 또한, 더 바람직하게는, 산소 가스와 수소 가스의 혼합 가스에서의 수소 가스의 체적 비율을 1% 이상 10% 이하로 한다. 이러한 조건을 이용함으로써, 다결정 실리콘막(18)을 확실하게 산화할 수 있다.

이와 같이 산소 가스와 수소 가스를 반응 용기(21)의 내부에 도입하기 시작한 시점 t_3 (도 6 참조)으로부터, 반응 용기(21)(도 4 참조)의 내부로 산소 가스 및 수소 가스가 도입됨으로써 반응 용기(21)의 내부 압력은 도 6에 도시한 바와 같이 상승하게 된다. 또, 도 6에서, 압력이란 반응 용기(21)(도 4 참조)의 내부 압력을 나타내며, SiH_4 유량, O_2 유량 및 H_2 유량이란, 각각 SiH_4 가스의 공급 유량, O_2 가스의 공급 유량 및 H_2 가스의 공급 유량을 의미한다. 그리고, 이와 같이 반응 용기(21)(도 4 참조)의 내부가 산소 가스와 수소 가스와의 혼합 가스 분위기로 된 상태에서, 도 7에 도시한 다결정 실리콘막(18)은 산화되어 도 8에 도시한 바와 같은 산화막(3)(실리콘 산화막)으로 된다. 또, 이 때의 반응 용기(21)(도 4 참조)의 내부의 압력으로는, 예를 들면 666~2666Pa(5~20 Torr)로 할 수 있다.

그리고, 이러한 산화 공정을 도 7에 도시한 다결정 실리콘막(18)이 거의 모두 산화될 때까지 계속한다. 또한, 상술한 조건에서는 다결정 실리콘막(18)(도 7 참조)이 완전하게 산화되는데 필요한 시간은 약 10초 정도이다. 그리고, 형성되는 산화막(3)(도 8 참조)의 막 두께 T_2 (도 8 참조)는 3nm 정도이다. 이와 같이 하여, 도 8에 도시한 바와 같이 반도체 기판(1)의 홀(17a~17c)의 내부로부터 실리콘 질화막(16)의 위까지 연장되는 산화막(3)을 형성할 수 있다.

그리고, 산화막(3)의 형성이 종료된 시점 이후의 시점 t_4 (도 6 참조)에서, 반응 용기(21)(도 4 참조)에의 산소 가스 및 수소 가스의 공급을 정지한다. 구체적으로는, 도 4에 도시한 성막 장치(20)에서, 밸브(24b, 24c, 26b, 26c)를 폐쇄 상태로 함과 함께, 밸브(27b, 27c)를 개방 상태로 한다. 그리고, 배기구로부터 반응 용기(21)의 내부의 분위기 가스를 배출함으로써, 반응 용기(21)의 내부를 진공 상태로 한다.

이어서, 도 8에서도 알 수 있듯이 홀(17a~17c)의 내부는 산화막(3)에 의해 완전히 충전되지는 않기 때문에, 도 5에 도시한 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)을 재차 실시한다. 구체적으로는, 도 6의 시점 t_5 에서, 시점 t_1 에서의 조작과 동일한 조작에 의해 도 4에 도시한 성막 장치(20)의 반응 용기(21)의 내부에 모노실란 가스를 도입한다. 그 결과, 산화막(3) 위에 다결정 실리콘막(30)(도 9 참조)을 형성한다. 다결정 실리콘막(30)(도 9 참조)을 형성하는 공정을 시점 t_6 (도 6 참조)까지 계속한 후, 도 6의 시점 t_2 에서의 조작과 동일한 조작에 의해 반응 용기(21)(도 4 참조) 내부에의 모노실란 가스의 공급을 정지시킴과 함께 반응 용기(21)의 내부의 분위기 가스를 배출한다. 이와 같이 하여, 도 9에 도시한

바와 같은 구조를 얻는다.

이어서, 도 6의 시점 t_7 에서, 시점 t_3 에서의 조작과 동일한 조작에 의해 반응 용기(21)(도 4 참조)의 내부에 산소 가스 및 수소 가스를 도입한다. 그 결과, 다결정 실리콘막(30)(도 9 참조)은 산화된다. 그리고, 이러한 산화 공정을 시점 t_8 (도 6 참조)까지 계속한다. 이와 같이 하여, 도 10에 도시한 바와 같이 산화막(3) 위에 산화막(4)을 형성할 수 있다. 그 후, 시점 t_9 에서, 시점 t_4 와 마찬가지로의 조작에 의해 반응 용기(21)의 내부로의 산소 가스 및 수소 가스의 공급을 정지시킨다. 그 결과, 도 10에 도시한 바와 같은 구조를 얻을 수 있다.

이와 같이, 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)(도 5 참조)을 반복함으로써, 모든 홈(17a~17c)이 도 11에 도시한 바와 같이 산화막(3~7)(실리콘 산화막)으로 이루어지는 적층체에 의해 충전될 때까지 상술한 2개의 공정을 반복한다. 그 결과, 도 11에 도시한 바와 같은 구조를 얻을 수 있다. 도 11에 도시한 산화막(3~7)을 형성하기 위해, 여기서는 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)(도 5 참조)을 5회 반복하고 있다. 이와 같이, 절연체 형성 공정으로서, 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)(도 5 참조)을 반복함으로써, 도 11에 도시한 바와 같이 홈(17a~17c) 내부를 보이드 등이 없는 산화막(3~7)으로 충전할 수 있다.

그리고, 도 11에 도시한 바와 같이 홈(17a~17c)이 산화막(3~7)으로 이루어지는 적층체에 의해 완전히 매립된 후, 도 12에 도시한 바와 같이 실리콘 질화막(16) 위에 위치하는 산화막(3~7)을 포토리소그래피법 및 드라이에칭을 이용하여 제거한다. 그 후, 산화막(3~7)으로 이루어지는 적층체의 상부 표면을 CMP법(Chemical Mechanical Polishing)을 이용하여 평탄화한다. 그 결과, 도 12에 도시한 바와 같은 구조를 얻는다.

이어서, 반도체 기판(1)의 주 표면 위로부터 실리콘 질화막(16) 및 실리콘 산화막(15)을 제거한다. 그 결과, 도 13에 도시한 바와 같은 구조를 얻는다. 또, 도 12 및 도 13에 도시한 공정은 도 5의 후처리 공정(S150)에 대응한다. 이와 같이 하여, 분리 절연체(2a~2c)를 얻을 수 있다.

그리고, 도 13에 도시한 공정 후, 종래와 마찬가지로의 방법에 의해 게이트 절연막(9)(도 1 참조), 게이트 전극(10)(도 1 참조), 및 소스/드레인 영역(8a, 8b)(도 1 참조)으로 이루어지는 전계 효과 트랜지스터를 형성한다. 또한, 이 전계 효과 트랜지스터를 피복하도록 중간 절연막(11)(도 1 참조)을 형성한다. 그리고, 중간 절연막(11)에서, 소스/드레인 영역(8a, 8b) 위에 위치하는 영역에 콘택트홀(12a, 12b)(도 1 참조)을 형성한다. 이 콘택트홀(12a, 12b)의 내부에 도전체막(13a, 13b)(도 1 참조)을 형성한다. 이 도전체막(13a, 13b) 위에 위치하는 영역에 배선(14a, 14b)(도 1 참조)을 형성한다. 또한, 동시에 중간 절연막(11)의 상부 표면 위에서, 다른 배선인 배선(14c~14e)(도 1 참조)을 형성한다. 이와 같이 하여, 도 1에 도시한 바와 같은 반도체 장치를 얻을 수 있다.

발명자가 얻은 지견에 의하면, 도 7 및 도 9에 도시한 다결정 실리콘막(18, 30)을 형성하는 공정(다결정 실리콘막을 형성하는 공정)에서 상술한 바와 같은 프로세스 조건을 이용하여 형성된 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)은 TEOS(테트라에톡시 실란) 등을 이용한 LPCVD 법을 이용하여 형성된 산화막보다도 단차 피복성이 우수한 것을 알 수 있었다. 또한, 이와 같이 하여 형성한 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)을, 산소와 수소를 포함한 분위기 내에서 열 산화 처리함으로써, 막 내에 불순물을 포함하지 않은 순도가 높은 산화막(3, 4)(도 8 및 도 10 참조)을 형성할 수 있었다. 또한, 이 산화막(3, 4)을 형성할 때에, 홈(17a~17c)의 폭보다 훨씬 얇은 막 두께의 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)을 형성하여, 그 다결정 실리콘막(18, 30)을 열 산화하므로, 홈(17a~17c)을 한번에 산화막으로 매립하는 경우와 달리 보이드의 형성을 억제할 수 있다.

또, 모노실란 가스와 산소 등의 산화성 가스를 동시에 반응 용기 내(21)(도 4 참조)로 공급함으로써, 실리콘 산화막을 형성하는 방법은 공지된 바와 같다. 그러나, 이와 같이 모노실란 가스와 산화성 가스를 동시에 반응 용기 내로 공급하여 실리콘 산화막을 형성하는 경우, 이 모노실란 가스와 산화성 가스가 기상 상태에서 반응하는 것이, 반도체 기판(1) 표면에 대한 반응 가스의 공급 속도 결정 단계가 된다. 이때문에, 모노실란 가스와 산화성 가스를 동시에 반응 용기 내에 도입하여 형성한 산화막은 단차 피복성이 부족하다. 또한, 상술한 바와 같이 모노실란 가스와 산화성 가스를 동시에 반응 용기 내에 도입하는 경우, 모노실란 가스와 산화성 가스가 기상 상태에서 반응함으로써 형성되는 이물질이, 성막되는 산화막 내에 혼입되는 문제도 발생한다. 이 때문에, 상술한 바와 같이 모노실란 가스와 산화성 가스를 동시에 공급하는 산화막의 형성 방법으로는, 본 발명에 의해 얻어지는 보이드 등의 발생을 억제하면서, 불순물을 거의 포함하지 않는(순도가 높은) 산화막을 얻는 것은 곤란하다.

또한, 다른 종류의 가스를 반응 용기(21)(도 4 참조) 내에 교대로 공급하는 CVD 법도 알려져 있다. 그러나, 비교적 좁은 폭의 홈(17a~17c)(도 1 참조)의 내부를, 보이드의 발생을 억제한 상태에서 산화막에 의해 매립 가능해지는 것은 발명자가 다결정 실리콘막을 형성하기 위한 가스로서 모노실란 가스를 선택하고, 또한 산화성 가스로서 산소와 수소의 혼합 가스를 선택하는 것도 크게 영향을 주고 있다. 즉, 모노실란 가스를 이용하여 형성된 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)은 매우 양호한 단차 피복성을 갖고 있기 때문에, 비교적 폭이 좁은 홈(17a~17c)의 내부의 측벽이나 바닥도 확실하게 피복되도록 다결정 실리콘막(18, 30)을 형성할 수 있다.

또한, 도 14에 도시한 바와 같이 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)(도 5 참조)을 복수회 반복한 후, 매우 좁은 폭의 홈의 내부에 다결정 실리콘막(31)을 형성하는 경우에는, 모노실란 가스를 이용한 경우에도 미세한 보이드(32)가 형성되는 경우가 있다. 여기서, 도 14 및 도 15는 본 발명의 효과를 설명하기 위한 확대 단면 모식도이다. 도 14는 홈(17a)에서 산화막(3, 4)을 형성한 후, 산화막(4) 위에 다결정 실리콘막(31)을 형성한 상태를 도시하고 있다.

도 14에 도시한 바와 같이, 홈(17a) 위에서 산화막(4)의 상부 표면에 형성된 폭이 좁은 홈부의 상부가, 다결정 실리콘막(31)에 의해 폐쇄된 후에는, 통상의 CVD법에 의해 보이드(32)를 매립하는 것은 곤란하다. 그러나, 본 발명에서는 형성한 다결정 실리콘막(31)을 산소 가스와 수소 가스의 혼합 가스를 이용하여 이후에 산화한다. 그 때문에, 상술한 산소 가스와 수소 가스의 혼합 가스에 기인하는 산화종이 다결정

실리콘막(31) 혹은 다결정 실리콘막(31)이 산화함으로써 형성되는 산화막(절연막)의 내부로 침투하여 보이드(32)의 벽면을 구성하는 다결정 실리콘막 부분으로까지 도달한다. 그리고, 다결정 실리콘막(31)이 산화될(실리콘 산화막으로 될) 때에 체적 팽창이 일어나기 때문에, 이 체적 팽창에 의해 보이드(32)(도 14 참조)가 축소 혹은 소실된다. 그 결과, 도 15에 도시한 바와 같이 보이드가 없는 산화막(5)을 형성할 수 있다. 이러한 효과는 본 발명과 같이 다결정 실리콘막을 형성하는 공정과 그 다결정 실리콘막을 산화하는 공정을 별도의 공정으로 하여 반복적으로 실시하는 방법을 취하고서야 가능해진다.

또, 1회에 형성하는 다결정 실리콘막의 막 두께 T1(도 7 참조)이 얇은 경우에는 형성되는 보이드(32)의 사이즈도 작아지거나, 혹은 보이드의 발생을 억제할 수 있기 때문에, 산화 공정에서 보다 확실하게 보이드를 소멸시킬 수 있다. 그러나, 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)의 막 두께가 너무 얇은 경우에는, 한번에 형성되는 산화막의 두께도 얇아진다. 그 때문에, 홈(17a~17c)(도 1 참조)의 내부를 충전하기 위해 다결정 실리콘막을 형성하는 공정(S120) 및 산화 공정(S130)(도 5 참조)을 반복하는 사이클 수가 많아지므로 도리어 제조 효율이 저하하는 경우가 생각되어진다. 따라서, 형성하는 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)의 막 두께를 너무 얇게 하는 것은 그다지 현실적이지 않다고 생각되어진다. 발명자가 검토한 결과로는 홈(17a~17c)의 측벽 부분의 기울기각에 의존하지만, 1회에 형성되는 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)의 막 두께를 5nm 이하로 해 두면, 보이드의 발생을 억제할 수 있었다.

물론, 다결정 실리콘막을 형성하는 공정(S120)(도 5 참조)에서 형성되는 다결정 실리콘막(18, 30)(도 7 및 도 9 참조)의 막 두께 및 산화막(3, 4)(도 8 및 도 10 참조)의 막 두께는 상술한 실시예에서의 값에 한정되는 것은 아니다. 또한, 다결정 실리콘막(18, 30)의 성막 조건이나, 산화 공정에서의 산소와 수소의 유량비도 상술한 실시예에서의 값에 한하는 것은 아니다.

또한, 모노실란 가스를 반응 용기(21)(도 4 참조)의 내부로 공급하는 시간(시점 t_1 로부터 시점 t_2 까지의 시간(도 6 참조))도, 상술한 실시예에서의 조건에 한정되는 것은 아니며, 산화막(3~7)(도 1 참조)으로 되도록 다결정 실리콘막의 형성 공정마다 상기 시간을 변화시켜도 된다.

(실시예2)

도 16을 참조하여, 본 발명에 따른 반도체 장치의 실시예2를 설명한다.

도 16에 도시한 바와 같이, 반도체 장치는 기본적으로 도 1에 도시한 반도체 장치와 동일한 구조를 포함하지만, 분리 절연체(2a~2c)를 구성하는 산화막(33a~33c, 34a~34c, 35a~35c, 36b, 37b)이 n형의 불순물 원소인 인을 포함하고 있는 점이 서로 다르다. 또, 후술하는 제조 방법으로부터도 알 수 있듯이, 분리 절연체(2a~2c)에서는 최하층(가장 반도체 기판(1)에 가까운 영역)에 위치하는 산화막(33a~33c)으로부터 상층의 산화막(35a, 35c) 혹은 산화막(37b)에 가까워질 수록, 각각의 산화막(33a~33c, 34a~34c, 35a~35c, 36b, 37b)에 함유되는 인의 농도가 높아진다.

이와 같이 하면, 도 1에 도시한 본 발명에 따른 반도체 장치와 마찬가지로의 효과가 얻어짐과 함께, 분리 절연체(2a~2c) 내에서, 층 형상으로 인을 포함하는 영역이 형성된다. 분리 절연체(2a~2c) 내에 포함되는 인은, 알칼리 금속 등 반도체 장치의 동작에 악영향을 미치게 하는 알칼리 금속 등의 불순물 원자를 트랩한다. 그 결과, 알칼리 금속 등의 불순물 원자가 반도체 기판 내로 확산되는 것을 억제하는 효과가 있다. 그 때문에, 알칼리 금속 등의 불순물 원자의 존재에 기인하여 반도체 장치의 특성이 열화되는 문제의 발생을 억제할 수 있다.

또한, 분리 절연체(2a~2c) 내에 인이 일정하게 분포하는 것은 아니며, 적층 구조를 구성하는 산화막(33a~33c, 34a~34c, 35a~35c, 36b, 37b)마다 인의 농도가 다르기 때문에, 인의 농도가 다른 층이 적층된 상태로 되어 있다(인 원자가 집중하여 층 형상으로 분포하고 있음). 그 때문에, 상술한 알칼리 금속 등의 불순물 원자를 트랩하는 효과를 더 높일 수 있다.

이어서, 도 16에 도시한 반도체 장치의 제조 공정에서 이용하는 반도체 제조 장치를, 도 17에 도시한다.

도 17에 도시한 반도체 제조 장치로서의 성막 장치(20)는 도 16에 도시한 반도체 장치의 분리 절연체(2a~2c)를 형성하기 위해 이용되는 장치로서, 기본적으로는 도 4에 도시한 성막 장치(20)와 동일한 구조를 포함한다. 단, 도 17에 도시한 성막 장치(20)는 반응 가스 공급 기구에 포스핀(PH₃) 가스를 반응 용기(21)의 내부로 공급하기 위한 배관 경로와, 이 배관 경로에 설치된 밸브(24e, 26e, 27e) 및 매스플로우 제어 장치(25e)를 포함하고 있다. 도 17에 도시한 성막 장치(20)를 이용하여 도 16에 도시한 반도체 장치의 분리 절연체(2a~2c)를 형성하는 공정을, 도 18을 이용하여 간단히 설명한다.

도 18에 도시한 바와 같이, 도 16에 도시한 분리 절연체(2a~2c)를 형성하는 공정은, 기본적으로는 본 발명의 실시예1에서의 분리 절연체를 형성하는 공정(도 5에 도시한 공정)과 마찬가지로이지만, 도 5에 도시한 다결정 실리콘막을 형성하는 공정(S120) 대신에, 인을 포함한 다결정 실리콘막을 형성하는 공정(S220)(도 18 참조)을 실시하는 점이 서로 다르다. 다른 공정은, 기본적으로 도 5에 도시한 흐름도의 공정과 마찬가지로이다.

구체적으로는, 도 18의 홈을 형성하는 공정(S210)은, 도 5의 홈을 형성하는 공정(S110)에 대응한다. 또한, 도 18의 산화 공정(S230)은, 도 5의 산화 공정(S130)에 대응한다. 또한, 도 18의 홈의 매립이 완료되었는지의 여부를 판별하는 공정(S240)은 도 5의 홈의 매립이 완료되었는지의 여부를 판별하는 공정(S140)에 대응한다. 또한, 도 18의 후처리 공정(S250)은 도 5의 후처리 공정(S150)에 대응한다.

이어서, 도 19~도 23을 참조하여, 도 16에 도시한 반도체 장치의 제조 방법을 설명한다.

우선, 도 2 및 도 3에 도시한 공정과 마찬가지로의 공정을 실시함으로써, 반도체 기판(1)(도 20 참조)의 주 표면에 홈(17a~17c)(도 20 참조)을 형성한다. 이어서, 본 발명의 실시예1에서의 반도체 장치의 제조 방법과 마찬가지로, 성막 장치(20)(도 17 참조)의 반응 용기(21)(도 17 참조) 내의 히터(22)(도 17 참조) 위에 반도체 기판(1)을 배치하여, 반도체 기판(1)을 소정의 온도로 가열한다.

그리고, 도 19의 시점 t_1 에서, 도 17에 도시한 성막 장치(20)의 밸브(24a, 24e, 26a, 26e)를 개방 상태로 함과 함께, 매스플로우 제어 장치(25a, 25e)를 제어함으로써, 모노실란 가스와 포스핀(PH_3) 가스를 소정의 유량으로 반응 용기(21)의 내부에 도입한다. 여기서, 모노실란 가스의 유량으로서는 0.05리터/분(50sccm)으로 할 수 있다. 또한, n형 불순물 원소를 함유하는 가스로서의 포스핀 가스는 질소 가스와 혼합하여, 포스핀 가스의 농도가 1% 되도록 희석한다. 이 희석 가스를 0.01리터/분(10sccm)이라는 유량으로 반응 용기(21) 내에 공급한다. 그 결과, 도 20에 도시한 바와 같이 홈(17a~17c)의 내부로부터 실리콘 질화막(16)의 상부 표면 위까지 연장하는, 막 두께가 T3의 인을 함유하는 다결정 실리콘막(38)을 CVD법에 의해 용이하게 형성할 수 있다.

또한, 이 때의 반응 용기(21) 내부의 압력은 실시예1과 마찬가지로 30Pa로 할 수 있다. 또한, 반도체 기판(1)의 가열 온도는 620°C로 할 수 있다. 그리고, 이 상태를 소정 시간 계속한 후, 도 19에서의 시점 t_2 에서, 도 17에 도시한 성막 장치(20)의 밸브(24a, 24e, 26a, 26e)를 폐쇄 상태로 함과 함께 밸브(27a, 27e)를 개방 상태로 함으로써, 반응 용기(21) 내부에의 모노실란 가스와 포스핀 가스의 공급을 정지시킨다. 이와 같이 하여, 인을 포함한 다결정 실리콘막을 형성하는 공정(S220)(도 18 참조)을 실시할 수 있다.

이어서, 반응 용기(21)의 내부로부터 분위기 가스를 배출함으로써, 반응 용기(21)의 내부를 거의 진공 상태로 한다. 그 후, 도 19의 시점 t_3 으로부터, 도 17에 도시한 성막 장치(20)의 반응 용기(21)의 내부로 산소 가스 및 수소 가스를 공급한다. 구체적으로는, 도 17에 도시한 성막 장치(20)에서, 밸브(24b, 24c, 26b, 26c)를 개방 상태로 함과 함께, 매스플로우 제어 장치(25b, 25c)를 제어함으로써 소정량의 산소 가스와 수소 가스를 반응 용기(21)의 내부로 공급한다.

산소 가스와 수소 가스의 공급량은 기본적으로 본 발명의 실시예1에서의 반도체 장치의 제조 방법의 산화 공정에서의 산소 가스와 수소 가스의 공급량과 동일하다. 그 결과, 반도체 기판(1)의 가열 온도(도 20 참조)의 표면에 형성된 인을 포함하는 다결정 실리콘막(38)(도 20 참조)이 산화된다. 다결정 실리콘막(38)이 거의 완전히 산화될 때까지, 이 산화 공정을 계속한다. 그리고, 다결정 실리콘막(38)(도 20 참조)의 산화가 종료된 후의 시점 t_4 (도 19 참조)에서, 도 17에 도시한 성막 장치(20)의 밸브(24b, 24c, 26b, 26c)를 폐쇄 상태로 함과 함께, 밸브(27b, 27c)를 개방 상태로 함으로써, 반응 용기(21)에의 산소 가스 및 수소 가스의 공급을 정지한다. 이와 같이 하여, 산화 공정(S230)(도 18 참조)이 종료된다. 이 산화 공정(S230)에서는, 인을 함유하는 다결정 실리콘막(38)(도 20 참조)이 산화되어, 막 두께 T4의 인을 함유하는 산화막(33)(도 21 참조)으로 된다. 그 결과, 도 21에 도시한 바와 같은 구조를 얻는다.

또, 다결정 실리콘막(38)(도 20 참조)은 인을 포함하고 있기 때문에, 산화 공정(S230)(도 18 참조)에서 증속 산화의 효과를 얻을 수 있다. 따라서, 실시예1에서 다결정 실리콘막을 산화하는 산화 공정(S130)(도 5 참조)보다도, 상술한 본 발명의 실시예2에서의 산화 공정(S230)(도 18 참조)의 시간을 짧게 할 수 있다. 또, 이러한 증속 산화의 효과는 인 이외의 n형 불순물 원소(예를 들면 비소 등)를 다결정 실리콘막(38)(도 20 참조)에 함유시키는 것에 의해서도 얻을 수 있다.

이어서, 도 19의 시점 t_5 에서, 시점 t_1 과 마찬가지로 도 17에 도시한 성막 장치(20)의 반응 용기(21) 내에 모노실란 가스와 포스핀 가스를 도입함으로써, 인을 포함하는 다결정 실리콘막(39)(도 22 참조)을 형성하는 공정(S220)(도 18 참조)을 실시한다. 이러한 성막 처리를 시점 t_5 (도 19 참조)까지 계속함으로써, 도 22에 도시한 바와 같은 구조를 얻을 수 있다.

그리고, 도 19의 시점 t_6 에서, 시점 t_2 와 마찬가지로의 조작을 행하고, 모노실란 가스 및 포스핀 가스의 반응 용기(21)에의 공급을 정지한다. 그 후, 반응 용기(21) 내를 진공 상태로 배기시킨 후, 도 19의 시점 t_7 에서 시점 t_3 과 마찬가지로의 조작을 행한다. 구체적으로는, 도 17에 도시한 성막 장치(20)에서, 밸브(24b, 24c, 26b, 26c) 등을 조작함으로써, 시점 t_3 (도 19 참조)인 경우와 마찬가지로 반응 용기(21)의 내부에 산화성 가스로서의 산소 가스와 수소 가스를 공급한다. 이와 같이 하여, 산화 공정(S230)(도 18 참조)을 실시한다. 이 때, 산소 가스와 수소 가스의 공급량 및 반도체 기판(1)의 가열 온도 등의 조건은 도 21에서 설명한 산화 공정과 마찬가지로 한다. 그 결과, 인을 포함하는 다결정 실리콘막(39)(도 22 참조)을 산화시킬 수 있다. 그리고, 인을 포함하는 다결정 실리콘막(39)이 완전히 산화될 때까지, 이 산화 처리를 계속한다. 그 후, 도 19에 도시한 시점 t_8 에서, 시점 t_4 와 마찬가지로의 조작을 행함으로써, 도 17에 도시한 성막 장치(20)의 반응 용기(21)에의 산소 가스 및 수소 가스의 공급을 정지한다. 그 결과, 도 23에 도시한 바와 같은 인을 포함하는 산화막(34)을 형성할 수 있다.

그리고, 이 후에는 상술한 인을 포함한 다결정 실리콘막을 형성하는 공정(S220)(도 18 참조) 및 산화 공정(S230)(도 18 참조)을 반복함으로써, 인을 함유하는 산화막에 의해 홈(17a~17c)을 충전한다. 그 결과, 도 11에 도시한 구조와 동일한 구조를 얻을 수 있다. 그 후, 도 12 및 도 13에서 설명한 공정과 동일한 공정(후처리 공정(S250)(도 18 참조)에 대응하는 공정이나 전계 효과 트랜지스터 등을 형성하는 공정)을 실시함으로써, 도 16에 도시한 반도체 장치를 얻을 수 있다.

또한, 상술한 바와 같이, 분리 절연체(2a~2c)를 형성하기 위해 홈(17a~17c)의 내부를 산화막(33~36)(도 24 참조)으로 충전하는 공정에서는, 인을 포함한 다결정 실리콘막을 형성하는 공정(S220)(도 18 참조)과, 그 형성된 다결정 실리콘막을 산화하는 산화 공정(S230)(도 18 참조)을 반복하여 도 24에 도시한 바와 같은 인을 포함하는 산화막(33~36)의 적층체를 형성한다. 이 때, 다결정 실리콘막에 함유되는 인은 산화막(실리콘 산화막)과 다결정 실리콘막에서의 편석 계수의 차이로부터, 산화 공정 중에 다결정 실리콘막 내 및 산화막 내를 이동한다. 그리고, 최종적으로 가장 상층에 위치하는 산화막(37)에서의 인의 농도가 가장 높아지고, 가장 하층에 위치하는 산화막(33)에서의 인의 농도가 가장 낮아진다. 그 결과, 산화막(33)으로부터 산화막(37)으로 갈수록, 산화막(33~37)에서의 인의 농도는 서서히 높아진다(하나의 산화막층으로서의 산화막(36)에서의 인의 농도는 산화막(36)보다 반도체 기판(1)에 가까운 위치에 배치된 다른 산화막층으로서의 산화막(35~33)에서의 인의 농도보다 높아지고 있음).

도, 인을 포함하는 다결정 실리콘막(38, 39)의 성막 조건은 상술한 조건에 한정되지 않고, 다른 조건을 이용해도 된다. 예를 들면, 인을 포함하지 않은 다결정 실리콘막을 본 발명의 실시예1과 마찬가지로 형성한 후에, 이후에 그 다결정 실리콘막에 인을 도입하는 공정을 실시해도 된다. 구체적으로는, 도 25에 도시한 바와 같은 공정에 의해 분리 산화막을 형성해도 된다. 도 25를 참조하여, 분리 절연체(2a~2c)의 제조 방법의 다른 예를 설명한다.

도 25에 도시한 분리 절연체의 제조 방법은, 기본적으로는 도 18에 도시한 제조 방법과 마찬가지로이지만, 도 18에서의 인을 포함한 다결정 실리콘막을 형성하는 공정(S220) 대신에, 다결정 실리콘막을 형성하는 공정(S320) 및 인을 다결정 실리콘막에 도입하는 공정(S330)을 실시하는 점이 서로 다르다. 다른 공정은 도 18에 도시한 제조 방법과 마찬가지로이다.

구체적으로는, 도 25의 홈을 형성하는 공정(S310)은, 도 18의 홈을 형성하는 공정(S210)에 대응한다. 또한, 도 25의 산화 공정(S340) 및 홈의 매립이 완료되었는지의 여부를 판정하는 공정(S350)은, 각각 도 18의 산화 공정(S230) 및 홈의 매립이 완료되었는지의 여부를 판정하는 공정(S240)에 대응한다. 또한, 도 25의 후처리 공정(S360)은 도 18의 후처리 공정(S250)에 대응한다. 이러한 공정을 이용해도, 도 18에 도시한 반도체 장치의 분리 절연체(2a~2c)를 얻을 수 있다.

도 26를 참조하여, 도 25에 도시한 분리 절연체의 제조 방법을 실시할 때의 구체적인 프로세스를 간단히 설명한다.

우선, 도 2 및 도 3에 도시한 공정과 동일한 공정(홈을 형성하는 공정(S310)(도 25 참조))을 실시한 후, 반도체 기판(1)(도 17 참조)을 성막 장치(20)(도 17 참조)의 반응 용기(21) 내부에 배치한다. 그리고, 도 26의 시점 t_1 에서, 도 17에 도시한 성막 장치(20)의 반응 용기(21) 내에 모노실란 가스를 공급한다. 구체적으로는, 도 17에 도시한 성막 장치(20)의 밸브(24a, 26a)를 개방 상태로 하고, 매스플로우 제어 장치(25a)를 이용하여 소정량의 모노실란 가스를 반응 용기(21) 내에 공급한다. 이 결과, 반도체 기판(1)의 홈(17a~17c) 내부로부터 실리콘 질화막(16)(도 20 참조) 위로 연장하도록 인을 포함하지 않은 다결정 실리콘막을 형성할 수 있다. 이와 같이 하여, 다결정 실리콘막을 형성하는 공정(S320)(도 25 참조)을 실시한다. 그 결과, 도 7에 도시한 구조와 동일한 구조를 얻을 수 있다. 그 후, 도 26의 시점 t_2 에서 반응 용기(21)(도 17 참조) 내부의 모노실란 가스의 공급을 정지한다. 구체적으로는, 도 17의 성막 장치(20)에서의 밸브(24a, 26a)를 폐쇄 상태로 함과 함께, 밸브(27a)를 개방 상태로 한다. 그리고, 반응 용기(21)(도 17 참조) 내의 분위기 가스를 배기한다.

이어서, 도 26의 시점 t_3 에서, 도 17에 도시한 성막 장치(20)의 밸브(24e, 26e)를 개방 상태로 함으로써, 포스핀 가스를 반응 용기(21)의 내부에 공급한다. 포스핀 가스는, 상술한 바와 같이 질소 가스에 의해 1%로 희석되어 있다. 이와 같이 분위기 가스로서 포스핀 가스를 도입함으로써, 먼저 형성된 다결정 실리콘막에 포스핀 가스를 접촉시킬 수 있으므로, 이 다결정 실리콘막 내에 인을 도입할 수 있다. 이와 같이 하여, 인을 다결정 실리콘막에 도입하는 공정(S330)(도 25 참조)을 실시한다. 그리고, 도 26의 시점 t_4 에서, 도 17의 성막 장치(20)에서의 밸브(24e, 26e)를 폐쇄 상태로 함과 함께 밸브(27e)를 개방 상태로 한다. 그 결과, 반응 용기(21)에의 포스핀 가스의 공급이 정지한다. 그 후, 반응 용기(21)(도 17 참조) 내의 분위기 가스를 배기한다.

이어서, 도 26의 시점 t_5 에서, 도 19에서의 시점 t_3 과 마찬가지로의 조작을 행함으로써, 도 17에 도시한 성막 장치(20)의 반응 용기(21) 내로 수소 가스 및 산소 가스를 공급한다. 그 결과, 인을 포함하는 다결정 실리콘막이 산화된다. 그리고, 소정의 시간이 경과된 후, 도 26의 시점 t_6 에서, 도 19에서의 시점 t_4 와 마찬가지로의 조작을 행함으로써, 도 17에 도시한 성막 장치(20)의 반응 용기(21) 내의 수소 가스 및 산소 가스의 공급을 정지시킨다. 이와 같이 하여 산화 공정(S340)(도 25 참조)이 완료된다.

이러한 다결정 실리콘막을 형성하는 공정(S320), 인을 다결정 실리콘막에 도입하는 공정(S330) 및 산화 공정(S340)(도 25 참조)을 반복함으로써, 홈(17a~17c)(도 16 참조)를 충형상의 산화막으로 충전할 수 있다. 그 후, 도 12 및 도 13에 도시한 공정, 즉 후처리 공정(S360)(도 25 참조)을 실시함으로써, 도 16에 도시한 분리 절연체(2a~2c)를 얻을 수 있다. 또한, 반도체 기판(1)(도 16 참조)의 주표면 위에 전계 효과 트랜지스터 등을 형성하는 공정을 실시함으로써, 도 16에 도시한 반도체 장치를 얻을 수 있다.

이와 같이, 다결정 실리콘막을 형성하는 공정(S320)과, 인을 다결정 실리콘막에 도입하는 공정(S330)(도 25 참조)을 따로따로 행함으로써, 홈(17a~17c)의 내부에서 보다 확실하게 보이드 등의 결함의 발생을 억제할 수 있다. 이것은, 다결정 실리콘막을 형성하는 공정(S320)에서 형성되는 다결정 실리콘막의 단차 피복성이 도 18에 도시한 공정과 같이 하나의 공정에 의해 형성된 인을 포함하는 다결정 실리콘막의 단차 피복성보다 우수하기 때문이다. 또, 이와 같이 이후에 인을 다결정 실리콘막에 도입하는 경우에는, 도입되는 인의 양은 상술한 희석 포스핀 가스와 모노실란 가스를 동시에 반응 용기(21)(도 17 참조)로 공급한 경우보다도 적어지지만, 다결정 실리콘막을 산화할 때의 산화 속도를 향상시키는 증속(増速) 산화 효과는 충분히 얻을 수 있다.

(실시예3)

도 27를 참조하여, 본 발명에 따른 반도체 장치의 실시예3를 설명한다.

도 27에 도시한 바와 같이, 반도체 장치는 기본적으로 도 1에 도시한 반도체 장치와 동일한 구조를 포함하지만, 분리 절연체(2a~2c)의 구조가 서로 다르다. 즉, 도 27에 도시한 반도체 장치에서는, 분리 절연체(2a~2c)를 구성하는 산화막(40a~40c, 33a~33c, 34a~34c, 35b, 36b)으로 이루어지는 산화막의 적층 구조 중, 최하층(가장 반도체 기판(1)에 가까운 영역)에 위치하는 산화막(40a~40c)이 베이스 산화막과 상층의 다른 산화막과는 상이한 제조 방법에 의해 형성되며, 상이한 막질을 갖고 있다.

구체적으로는, 도 27에 도시한 반도체 장치에서 최하층의 실리콘 산화막(40a~40c)은 LPCVD 법에 의해 형성된 실리콘 산화막이다. 그리고, 배리어막으로서의 실리콘 산화막(40a~40c)의 상층에 위치하는 인을 포함하는 산화막(33a~33c, 34a~34c, 35b, 36b)은 기본적으로 실시예2에서의 반도체 장치의 분리 절연체를

구성하는 산화막(33a~33c)과 마찬가지로의 방법에 의해 제조되며, 인을 포함하고 있다.

이러한 반도체 장치에 의해서도, 본 발명의 실시예2에 의한 효과와 마찬가지로의 효과를 얻을 수 있음과 함께, 배리어막으로서의 산화막(40a~40c)이 분리 절연체(2a~2c) 내의 불순물 원소(인)의 확산에 대한 장벽으로 되므로, 이 인이 반도체 기판(1) 내부로 확산되는 것을 억제할 수 있다.

또한, 열 산화법을 이용하여 산화막층으로서의 산화막(33a~33c, 34a~34c, 35b, 36b)을 형성할 때, 산화막(33a~33c, 34a~34c, 35b, 36b)에서 응력이 발생하는 경우가 있다. 그러나, 도 27에 도시한 반도체 장치에서는, 산화막(40a~40c)이 산화막(33a~33c, 34a~34c, 35b, 36b)의 응력에 대한 완충층으로서 작용하므로, 상기 응력이 반도체 기판(1) 내로 전해져 반도체 기판(1)의 결함의 원인으로 되는 위험성을 저감시킬 수 있다.

도 27에 도시한 반도체 장치의 제조 공정을, 도 28~도 31을 참조하여 간단히 설명한다.

도 28에 도시한 분리 절연체의 제조 방법은, 기본적으로 본 발명의 실시예1의 반도체 장치에서의 분리 절연체의 제조 방법과 마찬가지로이지만, 다결정 실리콘막을 형성하는 공정(S430) 전에 배리어막을 형성하는 공정으로서의 베이스 산화막을 형성하는 공정(S420)을 포함하는 점이 서로 다르다. 단, 이 베이스 산화막을 형성하는 공정(S420) 이외의 공정은, 기본적으로 도 18에 도시한 본 발명의 실시예2의 반도체 장치에서의 분리 절연체를 형성하는 공정과 마찬가지로이다.

즉, 도 28의 홈을 형성하는 공정(S410)이 도 18의 홈을 형성하는 공정(S210)에 대응한다. 또한, 도 28의 인을 포함한 다결정 실리콘막을 형성하는 공정(S430), 산화 공정(S440), 홈의 매립이 완료되었는지의 여부를 판정하는 공정(S450), 후처리 공정(S460)이 각각 도 18의 인을 포함한 다결정 실리콘막을 형성하는 공정(S120), 산화 공정(S130), 홈의 매립이 완료되었는지의 여부를 판정하는 공정(S140), 후처리 공정(S150)에 대응한다.

이어서, 도 27에 도시한 반도체 장치의 제조 방법을, 도 29~도 31을 참조하여 간단히 설명한다.

우선, 도 2 및 도 3에 도시한 공정과 마찬가지로의 공정(홈을 형성하는 공정(S410)(도 28 참조))을 실시함으로써, 반도체 기판(1)의 주 표면에 홈(17a~17c)(도 29 참조)을 형성한다. 그리고, 베이스 산화막을 형성하는 공정(S420)(도 28 참조)으로서, 홈(17a~17c)의 내부로부터 실리콘 질화막(16)(도 29 참조)의 상부 표면 위까지 연장하도록 실리콘 산화막(40)(도 29 참조)을 형성한다. 이와 같이 하여, 도 29에 도시한 바와 같은 구조를 얻는다. 또, 실리콘 산화막(40)의 두께는 예를 들면 10nm로 할 수 있다. 이 실리콘 산화막(40)은, LPCVD 법을 이용하여 형성한다.

이 베이스 산화막으로서의 실리콘 산화막(40)을 형성함으로써, 이 실리콘 산화막(40) 위에 형성되는 산화막(33)(도 31 참조) 등에 따라 발생하는 응력을 완화시키고, 그 응력에 의해 반도체 기판(1)에 결함이 도입되는 것을 억제할 수 있다. 또한, 이 베이스 산화막으로서의 실리콘 산화막(40)은 분리 절연체(2a~2c)를 구성하는 산화막(33a~33c, 34a~34c, 35b, 36b)에 포함되는 인이 반도체 기판(1)측으로 확산되는 것을 방지하는 장벽으로서의 기능을 갖는다. 또, 실리콘 산화막(40)의 막 두께는 상술한 값에 한정되지 않는다.

이어서, 인을 포함한 다결정 실리콘막을 형성하는 공정(S430)(도 28 참조)에 대응하는 공정으로서, 실리콘 산화막(40) 위에 인을 포함하는 다결정 실리콘막(38)을 형성한다. 이 다결정 실리콘막(38)의 형성 방법은, 기본적으로 본 발명의 실시예2에서의 도 20에 도시한 공정과 마찬가지로이다.

이어서, 산화 공정(S440)(도 28 참조)으로서, 다결정 실리콘막(38)(도 30 참조)을 산화하여 산화막(33)(도 31 참조)을 형성하는 공정을 실시한다. 산화 공정(S440)으로서, 도 21에서 설명한 공정과 마찬가지로의 공정을 이용할 수 있다. 그 결과, 도 31에 도시한 바와 같은 구조를 얻을 수 있다.

이 후, 도 22 및 도 23, 또한 도 11~도 13에서 설명한 공정과 마찬가지로의 공정을 실시함으로써, 분리 절연체(2a~2c)를 포함하는 도 27에 도시한 반도체 장치를 얻을 수 있다.

도 32를 참조하여, 본 발명에 따른 반도체 장치의 실시예3의 변형예를 설명한다.

도 32에 도시한 바와 같이, 반도체 장치는 기본적으로 도 27에 도시한 반도체 장치와 동일한 구조를 포함하지만, 분리 절연체(2a~2c)를 구성하는 산화막 중 최하층에 위치하는 배리어막으로서의 실리콘 산화막(41a~41c)이 HDP-CVD법에 의해 형성되어 있는 점이 서로 다르다.

도 33~도 35를 참조하여, 도 32에 도시한 반도체 장치의 제조 방법을 설명한다.

우선, 도 2 및 도 3에 도시한 공정과 마찬가지로의 공정을 실시함으로써, 반도체 기판(1)의 주 표면에 홈(17a~17c)(도 33 참조)을 형성한다. 그 후, HDP-CVD법을 이용하여, 실리콘 산화막(41)(도 33 참조)을 형성한다. 이와 같이 하여, 도 33에 도시한 바와 같은 구조를 얻는다.

이어서, 도 30에 도시한 공정과 마찬가지로, 실리콘 산화막(41) 위에 인을 포함하는 다결정 실리콘막(38)(도 34 참조)을 형성한다. 그 결과, 도 34에 도시한 바와 같은 구조를 얻을 수 있다.

이어서, 도 31에 도시한 공정과 마찬가지로, 다결정 실리콘막(38)을 산화함으로써, 인을 포함하는 산화막(33)(도 35 참조)을 형성한다. 그 결과, 도 35에 도시한 바와 같은 구조를 얻는다.

그 후, 도 27에 도시한 반도체 장치의 제조 방법과 마찬가지로, 다결정 실리콘막의 형성 및 산화를 반복하여 홈(17a~17c)(도 32 참조)의 내부를 산화막에 의해 충전한다. 그리고, 후처리 공정(S460)(도 28 참조)에 대응하는 도 11~도 13에 도시한 공정을 실시한 후, 전계 효과 트랜지스터나 중간 절연막(11)(도 32 참조) 등을 형성함으로써, 도 32에 도시한 반도체 장치를 얻을 수 있다.

이와 같이, 베이스 산화막으로서 HDP-CVD법에 의한 산화막을 형성하고, 분리 절연체(2a~2c)(도 32 참조)의 다른 부분에 대해서는 다결정 실리콘막의 형성과 산화를 반복함으로써 산화막을 적층해 가는 방법을 채용함으로써, HDP-CVD법에 의해서만 홈(17a~17c)(도 32 참조)을 충전하는 경우에 문제가 되는 반도체 기판

(1)의 표면이 부분적으로 깎이는 불량의 발생을 회피할 수 있다.

또한, 상술한 바와 같이 산화막의 형성 방법으로서 상이한 방법을 조합하는 경우, 예를 들면 베이스 산화막을 형성하는 공정(S420)(도 28 참조)에서 비교적 성막 속도가 빠른 기존의 CVD 기술을 적용할 수 있다. 이와 같이 하면, 홈(17a~17c)(도 32 참조)의 매립에 필요한 시간을 단축할 수 있다.

또, 베이스 산화막으로서의 실리콘 산화막(40a~40c)을 형성하는 공정에서는 다른 어떠한 성막 방법을 이용해도 무방하다.

상술한 실시예1~실시예3에 기재한 바와 같이 본 발명의 하나의 국면에 따른 반도체 장치는 반도체 기판(1)과 분리 절연체(2a~2c)를 포함한다. 반도체 기판의 주표면에는 홈(17a~17c)이 형성되어 있다. 분리 절연체(2a~2c)는 열 산화법을 이용하여 홈의 내부에 형성되고, 반도체 기판의 주 표면에서 소자 형성 영역을 분리하는 것이다. 상기 분리 절연체(2a~2c)는 산화막(3a~3c, 4a~4c, 5a~5c, 6b, 7b)과 같은 복수의 산화막층의 적층체이다.

이와 같이 하면, 후술하는 제조 방법으로부터도 알 수 있듯이, 홈의 폭보다 훨씬 얇은 막 두께의 실리콘막 등 산화막층의 기초가 되는 막을 홈의 내부에 형성한 후, 그 실리콘막 등의 막을 열 산화하는 공정을 반복함으로써, 본 발명에 따른 절연체를 얻을 수 있다. 그리고, 상술한 산화막층의 기초가 되는 실리콘막 등을 형성할 때에, 단차 피복성에 우수한 성막 방법을 이용할 수 있으므로, 홈의 상부가 폐쇄되는 것에 기인하여 보이드 등의 결함이 형성될 위험성을 저감시킬 수 있다.

또한, 만약 상기 산화막층의 기초가 되는 막을 성막했을 때에 보이드 등이 홈의 내부에 형성되어도, 그 막을 열 산화할 때에, 산소가 상기 막 내로 확산함으로써 상기 막 내의 보이드에 면하는 부분에도 산소가 공급되므로, 보이드에 면하는 부분도 산화할 수 있다. 그리고, 실리콘막 등의 상기 막이 산화될 때에는, 그 체적이 팽창되기 때문에, 이 체적 팽창에 수반하여 보이드를 없앨 수도 있다. 그 결과, 보이드 등의 결함이 없는 절연체를 실현할 수 있다.

또한, 열 산화법을 이용하여 형성된 산화막층의 막질은 LPCVD 법이나 HDP-CVD법 등을 이용하여 형성된 산화막의 막질보다 우수하기 때문에, 우수한 분리 특성을 갖는 분리 절연체를 실현할 수 있다.

상기 하나의 국면에 따른 반도체 장치는, 홈의 내벽과 분리 절연체와의 사이에 배치된 실리콘 산화막(40a~40c, 41a~41c)과 같은 배리어막을 더 포함해도 된다.

이러한 경우, 배리어막이 분리 절연체 내의 불순물 원소 등의 확산에 대한 장벽이 되므로, 분리 절연체 내에 함유된 불순물 원소 등이 반도체 기판 내부로 확산하는 것을 억제할 수 있다.

또한, 열 산화법을 이용하여 분리 절연체를 구성하는 산화막층을 형성할 때, 산화막층에서 응력이 발생하는 경우가 있다. 그러나, 본 발명에서는 배리어막이 산화막층의 응력에 대한 완충층으로서 작용하므로, 상기 응력이 반도체 기판 내에 전해져 반도체 기판의 결함의 원인이 될 위험성을 저감시킬 수 있다.

상기 하나의 국면에 따른 상술한 도 16에 도시한 바와 같은 반도체 장치에서, 산화막(33a~33c, 34a~34c, 35a~35c, 36b, 37b)과 같은 산화막층은 n형 불순물 원소를 포함해도 된다.

이 경우, n형 불순물 원소에 의해 알칼리 금속 등의 불순물 원자를 트랩할 수 있으므로, 산화막층 내에서의 불순물 원자의 확산을 억제할 수 있다. 이 때문에, 알칼리 금속 등의 불순물 원자에 의한 분리 절연체의 분리 특성의 열화를 억제할 수 있다.

또한, 산화막층을 형성하기 위한 열 산화 공정에서, 산화막층의 기초가 되는 막에 n형 불순물 원소를 함유시켜 줌으로써, 산화막층을 형성하기 위한 산화의 속도를 향상시킬 수 있다. 이 때문에, 산화막층을 형성하기 위한 열 산화 공정에 필요한 시간을 단축할 수 있다.

또한, 상술한 실시예2 및 실시예3에 기재한 반도체 장치와 같이, 본 발명의 다른 국면에 따른 반도체 장치는, 반도체 기판(1)과 절연체(2a~2c)를 포함한다. 반도체 기판은 홈(17a~17c)과 같은 요철부가 형성된 주 표면을 갖는다. 절연체는 요철부 위에 형성되고, n형 불순물 원소를 포함하는 복수의 산화막층의 적층체로 이루어진다.

이 경우, n형 불순물 원소에 의해 알칼리 금속 등의 불순물 원자를 트랩할 수 있으므로, 산화막층 내에서의 불순물 원자의 확산을 억제할 수 있다. 이 때문에, 알칼리 금속 등의 불순물 원자가 반도체 기판 위에 형성된 전계 효과 트랜지스터 등의 반도체 소자의 구성 요소 내로 확산함에 따른 반도체 소자의 특성 열화를 억제할 수 있다.

상기 다른 국면에 따른 반도체 장치에서는 산화막층이 열 산화법을 이용하여 형성되어도 된다.

이 경우, 상술한 반도체 장치의 제조 방법으로부터도 알 수 있듯이, 요철부를 구성하는 오목부(예를 들면 홈)의 폭보다 훨씬 얇은 막 두께의 실리콘막 등 산화막층의 기초가 되는 막을 오목부의 내부에 형성한 후, 그 실리콘막 등의 막을 열 산화하는 공정을 반복함으로써, 본 발명에 따른 절연체를 얻을 수 있다. 그리고, 상술한 산화막층의 기초가 되는 실리콘막 등을 형성할 때에, 단차 피복성에 우수한 성막 방법을 이용할 수 있으므로, 오목부의 상부가 폐쇄되는 것에 기인하여 보이드 등의 결함이 형성될 위험성을 억제할 수 있다.

또한, 만약 상기 산화막층의 기초가 되는 막을 성막했을 때에 보이드 등이 오목부의 내부에 형성되어도, 그 막을 열 산화할 때에, 산소가 상기 막 내로 확산함으로써 상기 막의 보이드에 면하는 부분에도 산소가 공급되므로, 보이드에 면하는 상기 막의 부분도 산화할 수 있다. 그리고, 실리콘막 등의 상기 막이 산화될 때에는, 그 체적이 팽창하기 때문에, 이 체적 팽창에 수반하여 보이드를 없앨 수도 있다. 그 결과, 보이드 등의 결함이 없는 절연체를 실현할 수 있다.

또한, 열 산화법을 이용하여 형성된 산화막층의 막질은 LPCVD 법이나 HDP-CVD법 등을 이용하여 형성된 산화막의 막질보다 우수하다. 그 때문에, 본 발명에 따른 절연체를 소자 형성 영역을 분리하기 위한 분리 절연체로서 이용하면, 우수한 분리 특성을 갖는 분리 절연체를 실현할 수 있다.

또한, 산화막층을 형성하기 위한 열 산화 공정에서, 산화막층의 기초가 되는 막에 n형 불순물 원소를 함유시켜 둠으로써, 산화막층을 형성하기 위한 산화의 속도를 향상시킬 수 있다. 이 때문에, 산화막층을 형성하기 위한 열 산화 공정에 필요한 시간을 단축할 수 있다.

상기 다른 국면에 따른 반도체 장치에서, 요철부는 반도체 기판의 주 표면에 형성된 홈을 포함해도 된다. 절연체는 홈을 충전하도록 형성되어도 된다.

이 경우, 본 발명에 따른 절연체를 트렌치 분리 구조로서 이용할 수 있다.

상기 다른 국면에 따른 반도체 장치는, 홈의 내벽과 절연체와의 사이에 배치된 실리콘 산화막(40a~40c, 41a~41c)과 같은 배리어막을 더 포함해도 된다.

이 경우, 배리어막이 절연체 내의 불순물 원소 등의 확산에 대한 장벽이 되므로, 절연체 내에 함유된 불순물 원소 등이 반도체 기판 내부로 확산되는 것을 억제할 수 있다.

또한, 열 산화법을 이용하여 분리 절연체를 구성하는 산화막층을 형성할 때, 산화막층에서 응력이 발생하는 경우가 있다. 그러나, 본 발명에서는 배리어막이 산화막층의 응력에 대한 완충층으로서 작용하므로, 상기 응력이 반도체 기판 내로 전해져 반도체 기판의 결함의 원인이 될 위험성을 저감시킬 수 있다.

상기 한 국면 또는 다른 국면에 따른 반도체 장치에서, n형 불순물 원소는 인이어도 된다.

이 경우, 산화막층을 형성하기 위한 열 산화 공정에서, 산화의 속도를 확실하게 향상시킬 수 있음과 함께, 알칼리 금속 등의 불순물 원자를 인에 의해 트랩할 수 있다.

상기 한 국면 또는 다른 국면에 따른 반도체 장치에서, 복수의 산화막층 중 하나의 산화막층에서의 n형 불순물 원소의 농도는, 상술한 실시예2에 기재한 바와 같이 상기 하나의 산화막층보다 반도체 기판에 가까운 위치에 배치된 다른 산화막층에서의 n형 불순물 원소의 농도보다 높게 되어 있어도 된다.

이와 같이, 산화물 층의 상층으로 갈수록 n형 불순물 원소의 농도가 높아지고 있으므로, 산화막층의 상층부에서 알칼리 금속 등의 불순물 원자를 확실하게 트랩할 수 있다.

상기 한 국면 또는 다른 국면에 따른 반도체 장치에서, 배리어막은 고밀도 플라즈마 화학 기상 성장법(HDP-CVD법) 및 감압 화학 기상 성장법(LPCVD법) 중 어느 하나에 의해 형성된 실리콘 산화막이어도 된다. 또한, 상기 한 국면 또는 다른 국면에 따른 반도체 장치에서, 산화막층은 실리콘을 열 산화함으로써 얻어진 것이어도 무방하다.

이 경우, 홈 혹은 요철부의 오목부를 매립하는 배리어막의 형성 방법으로서, 종래의 HDP-CVD법이나 LPCVD법 등을 이용하므로, 본 발명에 따른 반도체 장치의 제조 공정에서 종래의 반도체 제조 장치를 유용할 수 있다. 또한, HDP-CVD 법이나 LPCVD 법 등, 종래의 성막 방법에서 비교적 성막 속도가 빠른 성막 방법을 배리어막의 성막에 적용함으로써, 홈 혹은 요철부의 오목부를 모두 본 발명에서의 산화막층으로 충전하는 경우보다, 홈 등을 충전하기 위해 필요한 작업 시간을 단축시킬 수 있다.

본 발명의 실시예에 기재한 반도체 장치의 제조 방법과 같이, 본 발명의 다른 국면에 따른 반도체 장치의 제조 방법도, 반도체 기판을 준비하는 공정과, 절연체 형성 공정을 포함한다. 반도체 기판을 준비하는 공정에서는, 요철부가 형성된 주 표면을 갖는 반도체 기판을 준비한다. 절연체 형성 공정에서는, 요철부 위에 화학 기상 성장법(CVD)을 이용하여 실리콘막을 형성하는 공정과, 실리콘막을 산화함으로써 실리콘 산화막을 형성하는 공정을 교대로 복수회 반복한다.

이와 같이 하면, 요철부의 오목부의 폭보다 훨씬 얇은 막 두께의 실리콘막 등 산화막층의 기초가 되는 실리콘막을 오목부의 내부에 형성한 후, 그 실리콘막을 산화하는 공정을 반복함으로써, 본 발명에 따른 절연체를 포함하는 반도체 장치를 얻을 수 있다. 그리고, 상술한 실리콘막을 형성할 때에, 단차 피복성에 우수한 성막 방법을 이용할 수 있으므로, 오목부의 상부가 폐쇄되는 것에 기인하여 보이드 등의 결함이 형성될 위험성을 저감시킬 수 있다.

또한, 만약 상기 실리콘막을 성막했을 때에 보이드 등이 오목부의 내부에 형성되어도, 그 막을 산화할 때에, 산소가 상기 실리콘막 내로 확산함으로써 상기 보이드에 면하는 실리콘막의 부분에도 산소가 공급되므로, 보이드에 면하는 실리콘막의 부분도 산화할 수 있다. 그리고, 실리콘막이 산화될 때에는 그 체적이 팽창하기 때문에, 이 체적 팽창에 수반하여 보이드를 없앨 수도 있다. 그 결과, 보이드 등의 결함이 없는 절연체를 형성할 수 있다.

또한, 상기 실리콘막을 산화하는 공정에서는, 열 산화법을 이용해도 된다. 여기서, 열 산화법을 이용하여 형성된 실리콘 산화막의 막질은 LPCVD 법이나 HDP-CVD법 등을 이용하여 형성된 실리콘 산화막의 막질보다 우수하다. 따라서, 상기 절연체 형성 공정에서 형성되는 절연체를 분리 절연체로서 이용하면, 우수한 분리 특성을 갖는 분리 절연체를 얻을 수 있다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에 있어서, 실리콘막을 형성하는 공정에서는, CVD법에서 이용하는 반응 가스가 n형 불순물 원소를 함유하는 가스를 포함해도 된다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에서, 절연체 형성 공정에서는, 실리콘막을 형성하는 공정 후이고, 실리콘 산화막을 형성하는 공정 전에, 실리콘막에 n형 불순물 원소를 도입하는 공정을 실시해도 된다. 실리콘막에 n형 불순물 원소를 도입하는 공정에서는, 실리콘막에 n형 불순물 원소를 함유하는 가스를 접촉시킴에 따라 n형 불순물 원소를 도입해도 된다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에 있어서, n형 불순물 원소는 인이어도 된다.

이 경우, 형성되는 실리콘막에 인 등의 n형 불순물 원소를 용이하게 함유시킬 수 있다.

또한, 실리콘 산화막을 형성하는 공정에서, 실리콘막에 인 등의 n형 불순물 원소를 함유시켜 둠으로써, 실리콘막의 산화의 속도를 향상시킬 수 있다. 이 때문에, 실리콘 산화막을 형성하는 공정에 필요한 시간을

단축할 수 있다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에서, n형 불순물 원소를 포함하는 가스는 포스핀 가스가어도 된다.

이 경우, 실리콘막을 형성하고 있을 때, 혹은 실리콘막을 형성한 후에, 실리콘막을 형성하는 CVD 장치의 반응 용기에 포스핀 가스를 도입함으로써, 용이하게 실리콘막 내에 인을 도입할 수 있다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에 있어서, 절연체 형성 공정에서는, 이하와 같은 프로세스 조건을 이용해도 된다. 즉, 절연체 형성 공정에서는, 반도체 기판의 온도를 520℃이상 750℃이하로 해도 된다. 또한, 실리콘막을 형성하는 공정에서 CVD법에서 이용하는 반응 가스는 모노실란 가스를 포함해도 된다. 실리콘 산화막을 형성하는 공정에서 실리콘막을 산화하기 위해 실리콘막에 접촉시키는 반응 가스는, 산소 가스와 수소 가스와의 혼합 가스를 포함해도 된다. 혼합 가스에서의 수소 가스의 체적 비율은 1% 이상 30% 이하라도 무방하다.

이 경우, 반도체 기판 위에서의 실리콘막의 형성, 및 실리콘막의 열 산화를 확실하게 행할 수 있다.

상기 다른 국면에 따른 반도체 장치의 제조 방법은, 절연체 형성 공정에 앞서, 반도체 기판의 요철부 위에 배리어막을 형성하는 공정을 더 포함해도 된다.

이 경우, 배리어막이 절연체 내의 n형 불순물 원소 등이 반도체 기판으로 확산하는 것에 대한 장벽으로 되므로, 절연체 내에 함유된 n형 불순물 원소 등이 반도체 기판 내부로 확산되는 것을 억제할 수 있다.

또한, 실리콘 산화막을 형성하는 공정에서는, 실리콘 산화막에서 응력이 발생하는 경우가 있다. 그러나, 본 발명에서는 배리어막이 실리콘 산화막의 응력에 대한 완충층으로서 작용하므로, 상기 응력이 반도체 기판으로 전해져 반도체 기판의 결함의 원인으로 될 위험성을 저감시킬 수 있다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에 있어서, 반도체 기판을 준비하는 공정은 반도체 기판의 주 표면에 요철부를 구성하는 홈을 형성하는 공정을 포함해도 된다. 또한, 실리콘막을 형성하는 공정에서는, 홈의 내부에 실리콘막을 형성해도 된다.

이 경우, 절연체 형성 공정에 의해 얻어지는 실리콘 산화막의 적층체를, 트랜치 분리 절연막으로서 이용할 수 있다.

이상, 실시예들을 통하여 본 발명을 설명하였지만, 추가적인 장점 및 변경이 가능하다는 것은 본 기술 분야에 숙련된 자에게는 자명한 것이다.

따라서, 본 발명은 모든 점에서 상술한 설명 및 실시예에 제한되지 않으며, 본 발명의 범위는 상기한 실시예의 설명이 아니라 특허 청구 범위에 의해 정의되며, 또한 특허 청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것으로 의도되어야 한다.

발명의 효과

이와 같이, 본 발명에 따르면, 분리 절연체를 적층 구조로 하고, 또한 그 적층 구조를 구성하는 산화막층을 산화막의 기초가 되는 다결정 실리콘막을 형성한 후에, 그 다결정 실리콘막을 산화하는 공정에 의해 형성하므로, 분리 절연체에서의 보이드 등의 결함의 발생을 억제할 수 있다. 그 결과, 분리 절연체에서의 분리 특성의 열화를 억제할 수 있다.

(57) 청구의 범위

청구항 1

주 표면에 홈이 형성된 반도체 기판과,

열 산화법을 이용하여 상기 홈의 내부에 형성되고, 상기 반도체 기판의 주 표면에서 소자 형성 영역을 분리하는 분리 절연체를 포함하고,

상기 분리 절연체는 복수의 산화막층의 적층체인 반도체 장치.

청구항 2

요철부가 형성된 주 표면을 갖는 반도체 기판과,

상기 요철부 위에 형성되고, n형 불순물 원소를 포함하는 복수의 산화막층의 적층체로 이루어지는 절연체를 포함하는 반도체 장치.

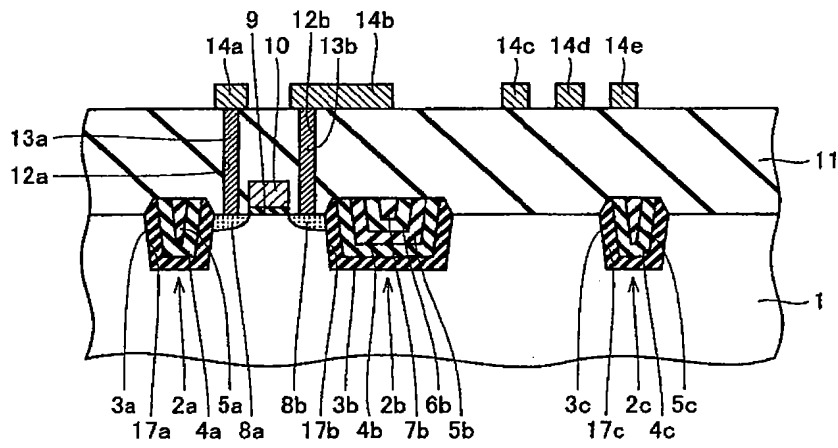
청구항 3

요철부가 형성된 주 표면을 갖는 반도체 기판을 준비하는 공정과,

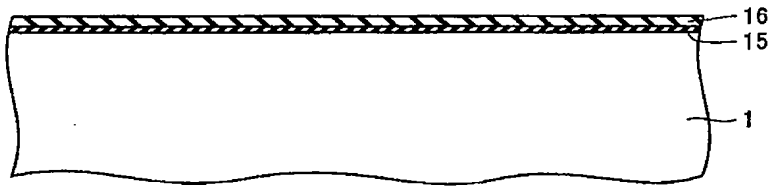
상기 요철부 위에 화학 기상 성장법(CVD법)을 이용하여 실리콘막을 형성하는 공정과, 상기 실리콘막을 산화함으로써 실리콘 산화막을 형성하는 공정을 교대로 복수회 반복하는 절연체 형성 공정을 포함하는 반도체 장치의 제조 방법.

도면

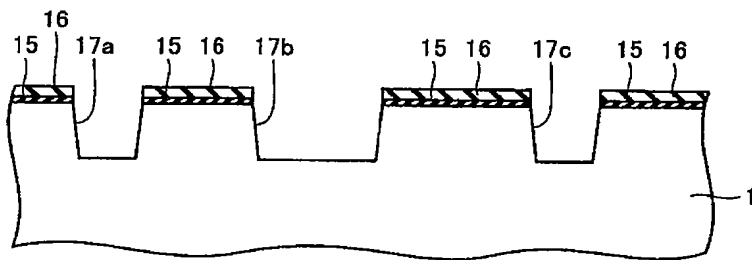
도면1



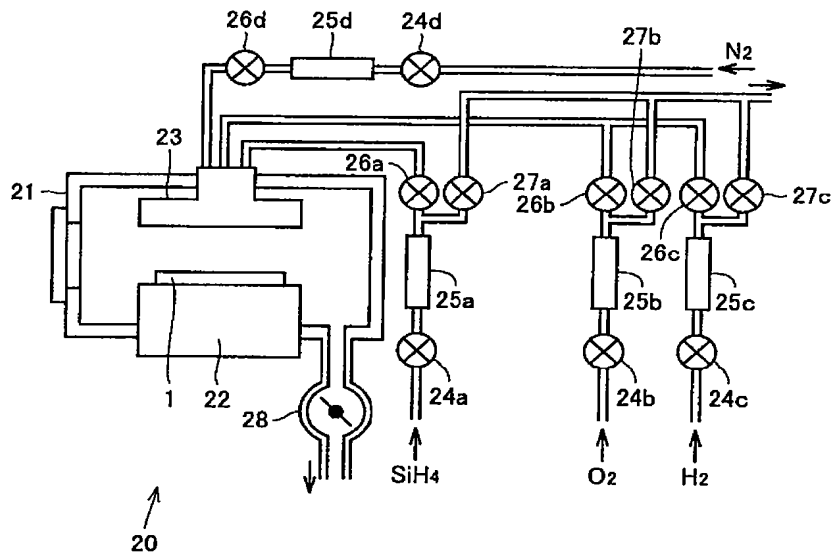
도면2



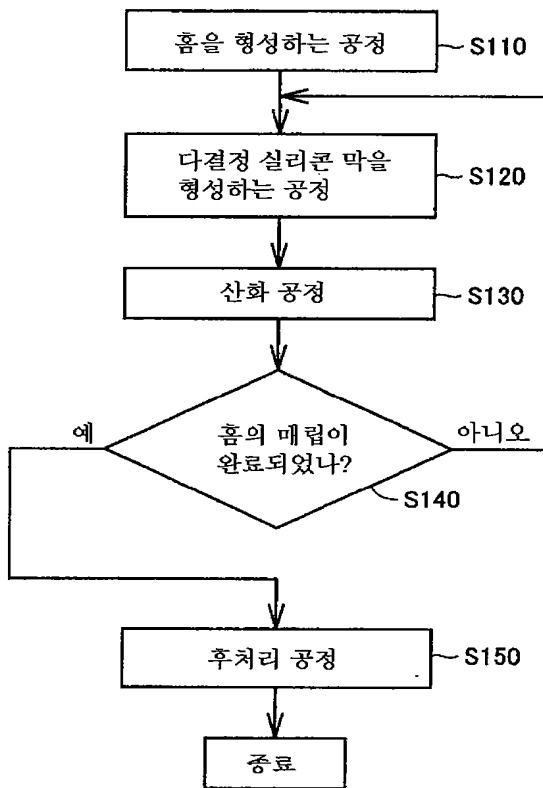
도면3



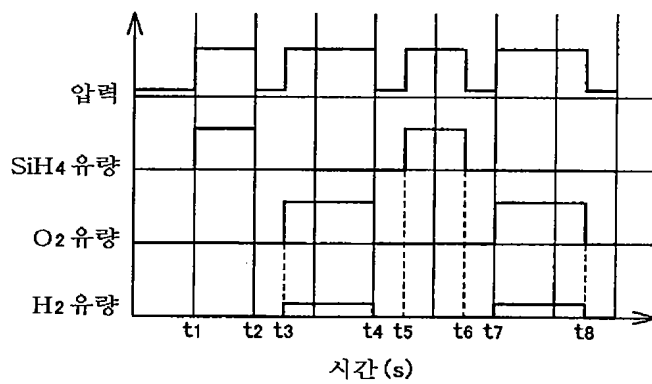
도면4



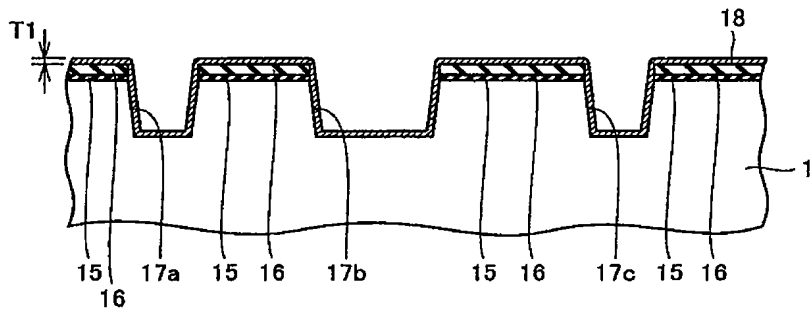
도면5



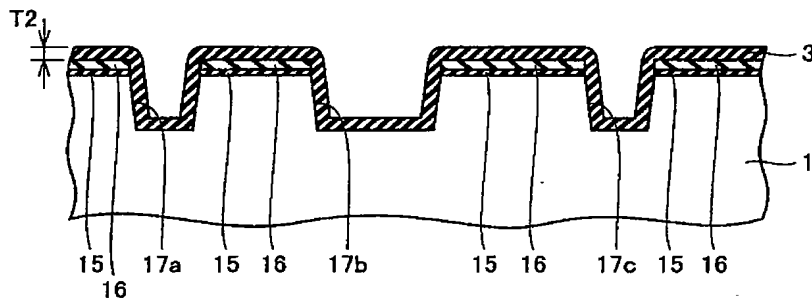
도면6



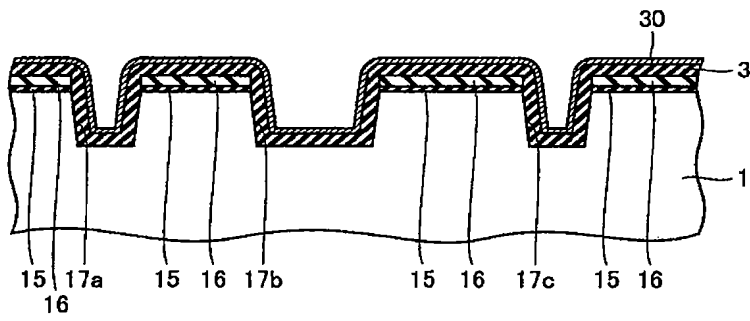
도면7



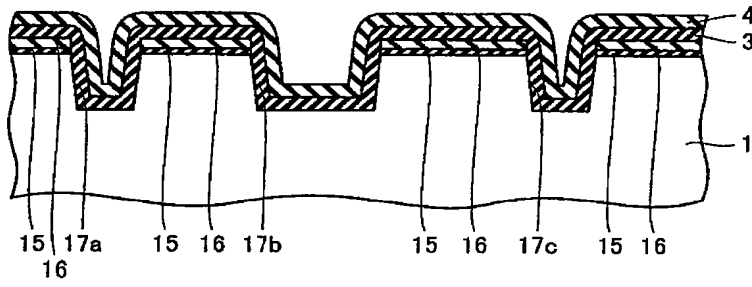
도면8



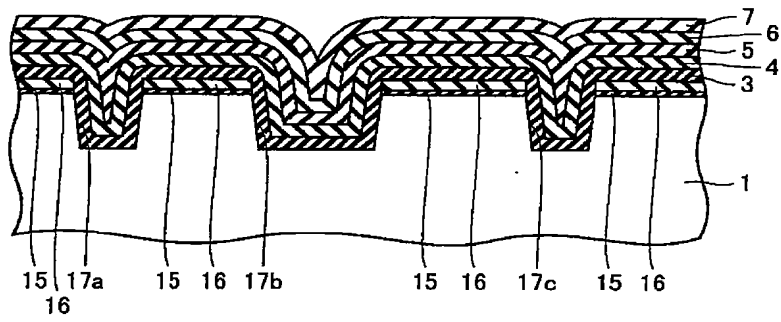
도면9



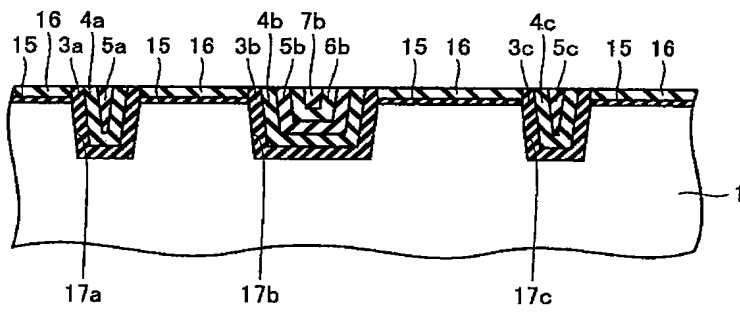
도면 10



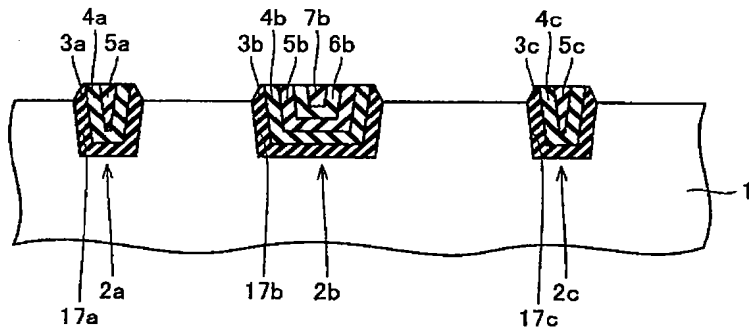
도면 11



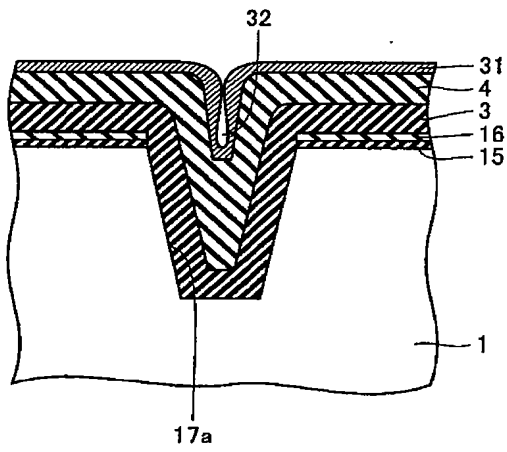
도면 12



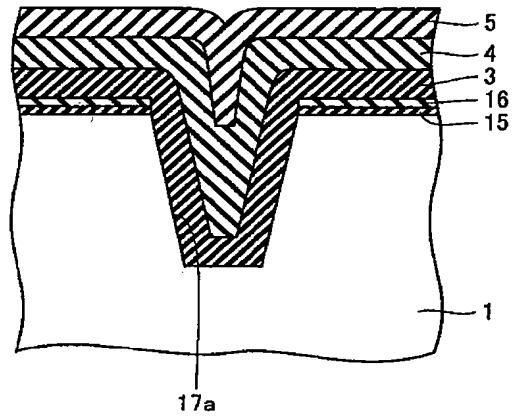
도면 13



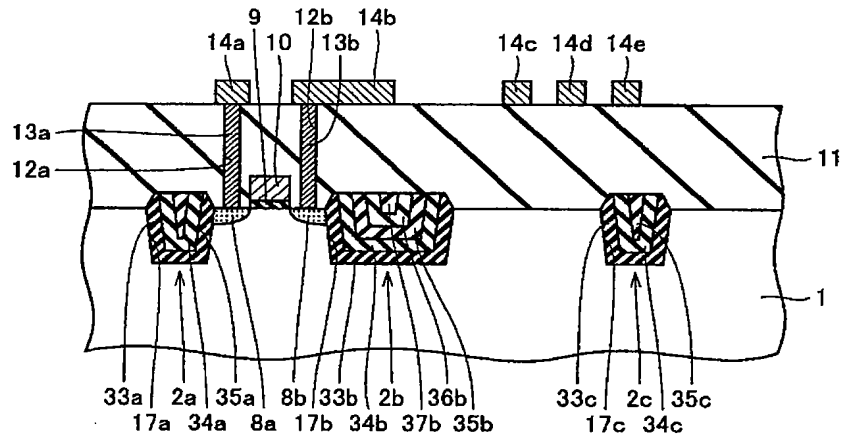
도면 14



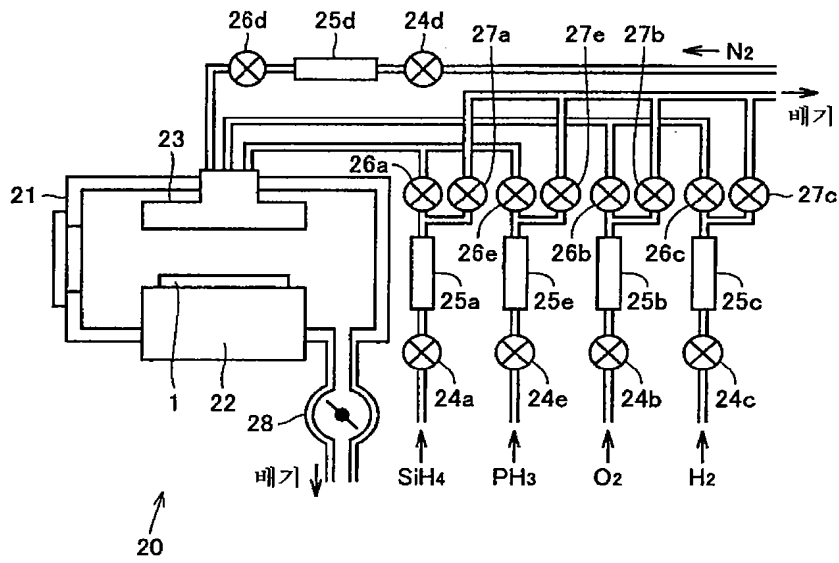
도면 15



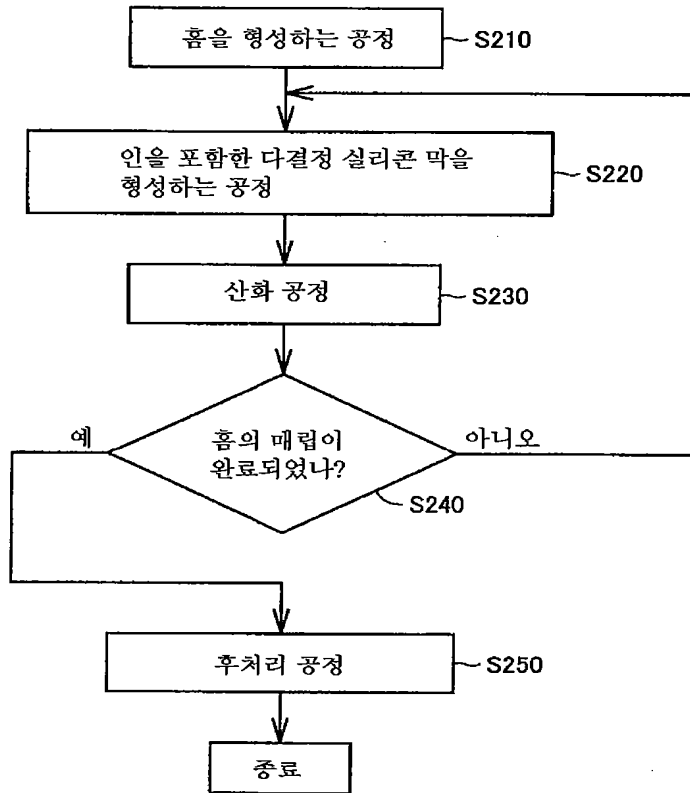
도면 16



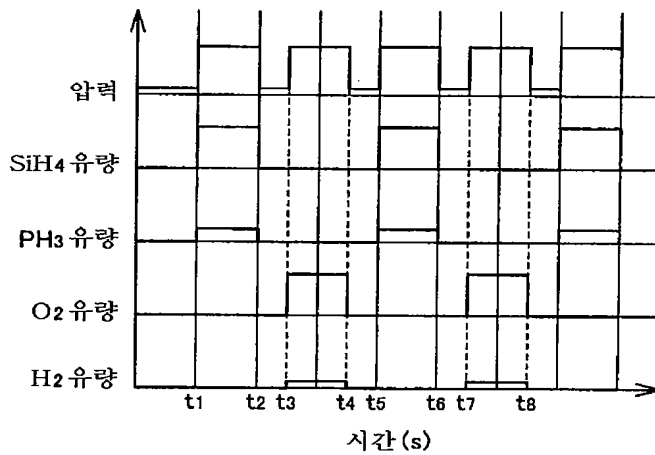
도면 17



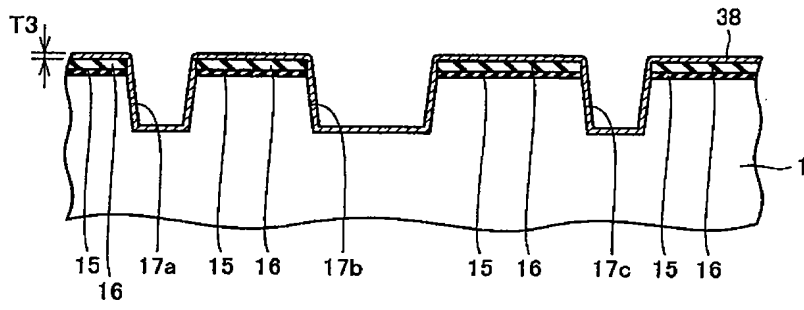
도면18



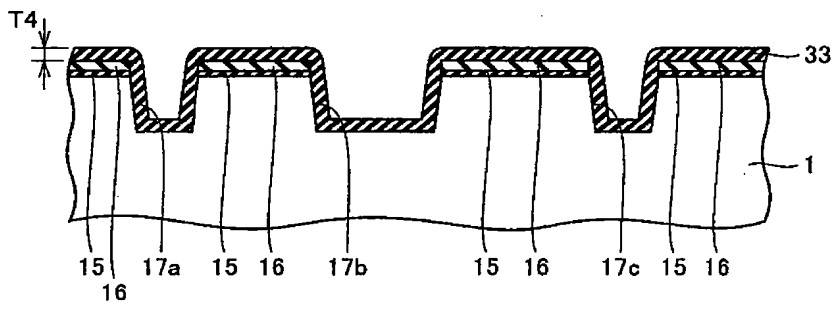
도면19



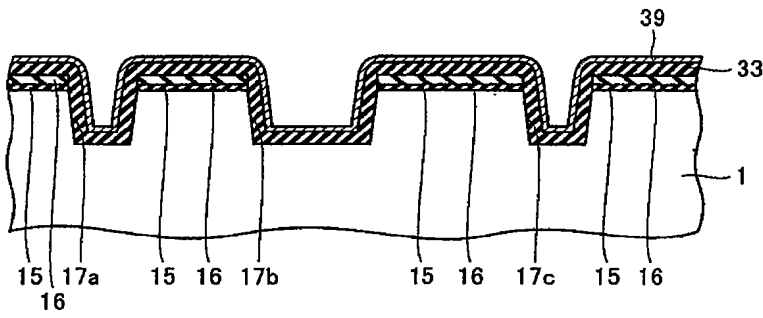
도면20



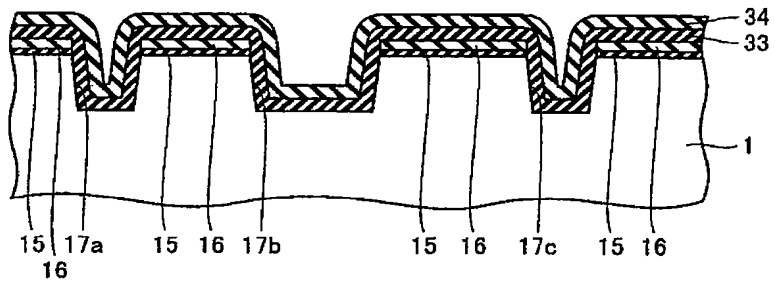
도면21



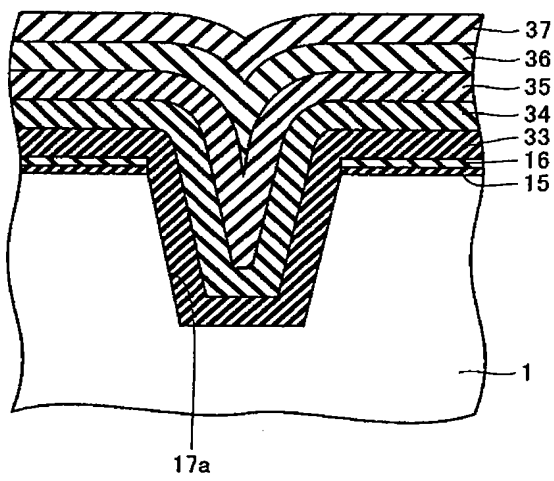
도면22



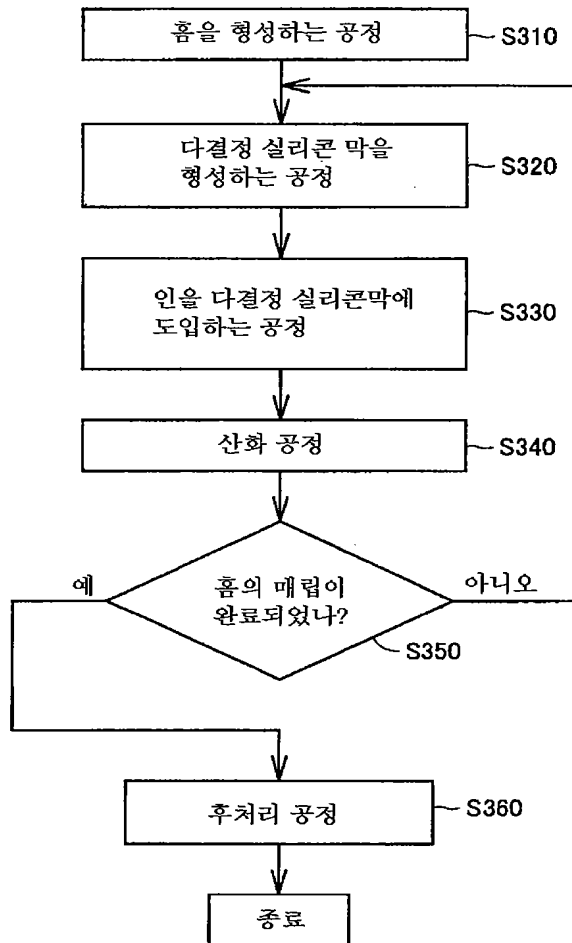
도면23



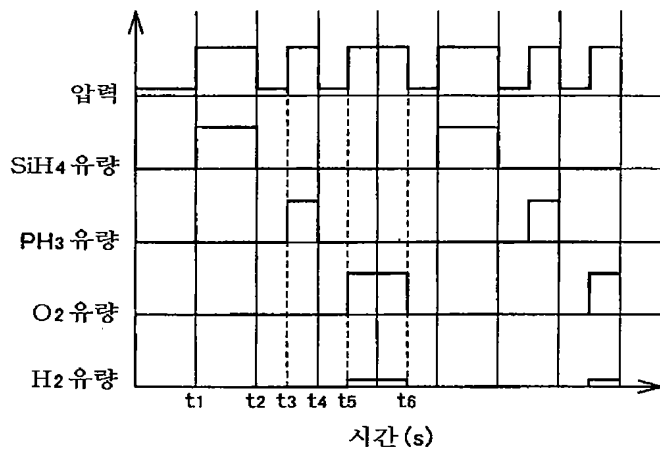
도면24



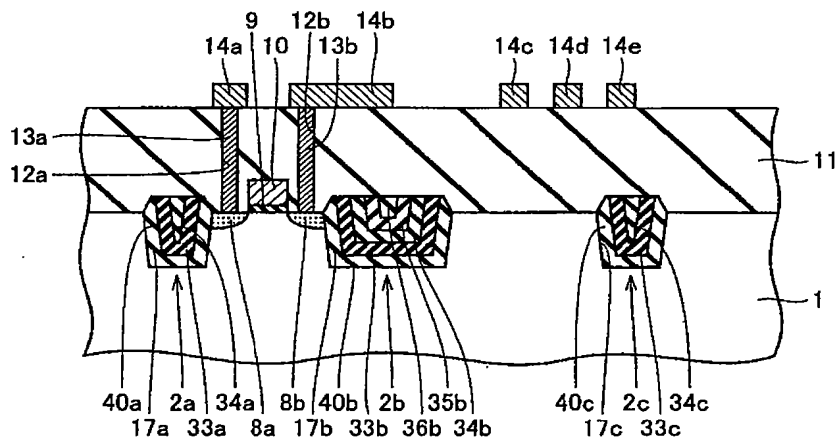
도면25



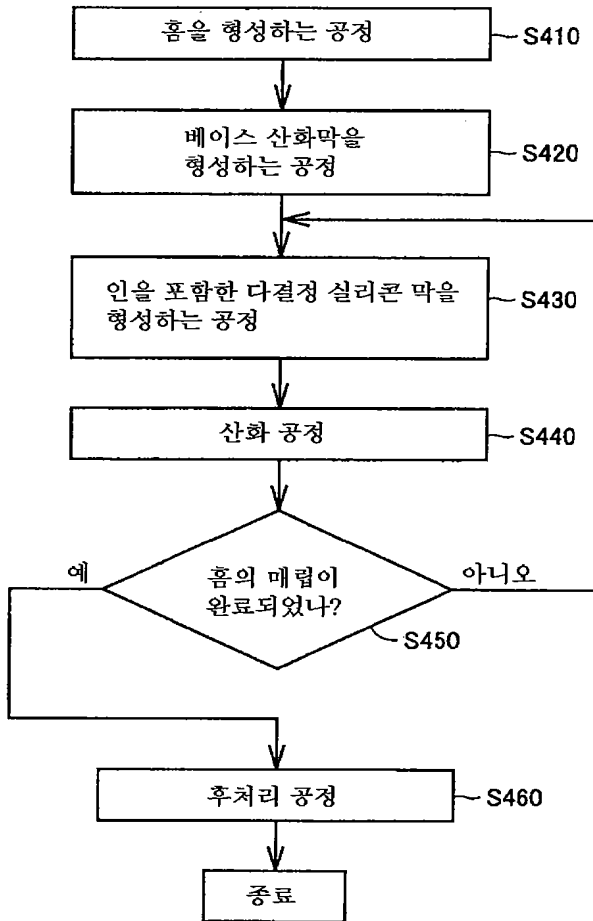
도면26



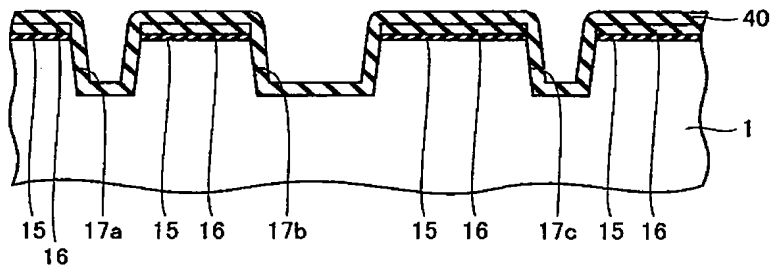
도면27



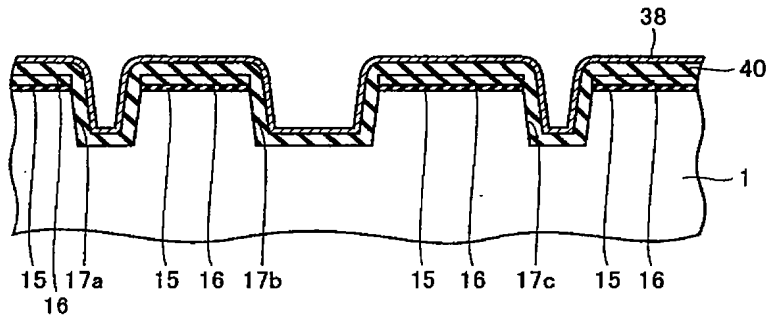
도면28



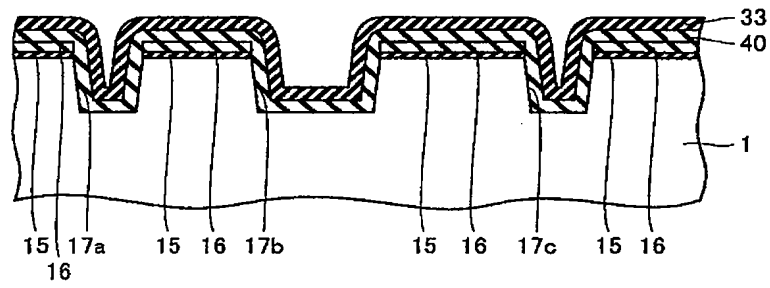
도면29



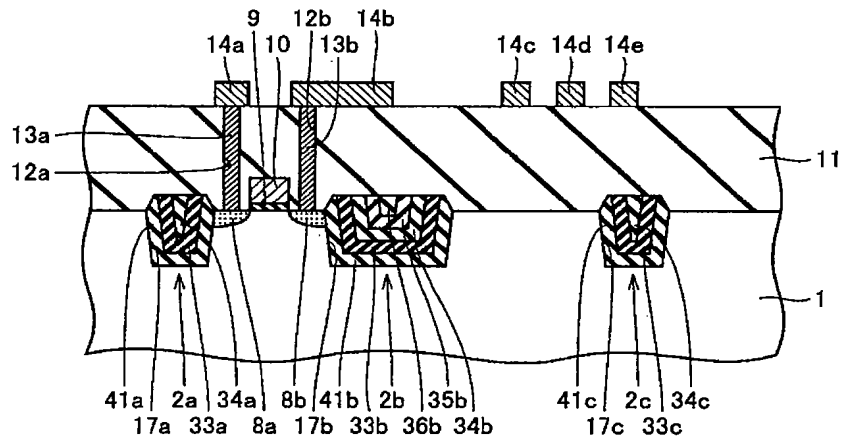
도면30



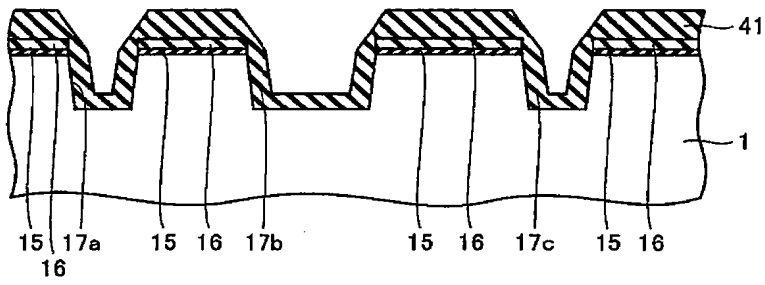
도면31



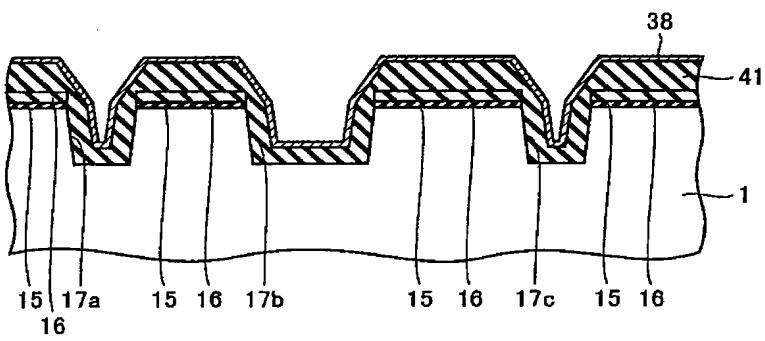
도면32



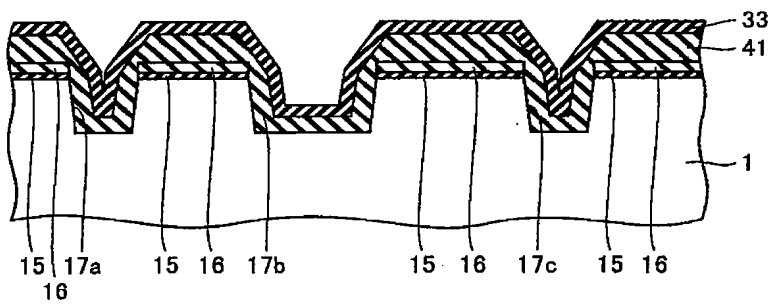
도면33



도면34

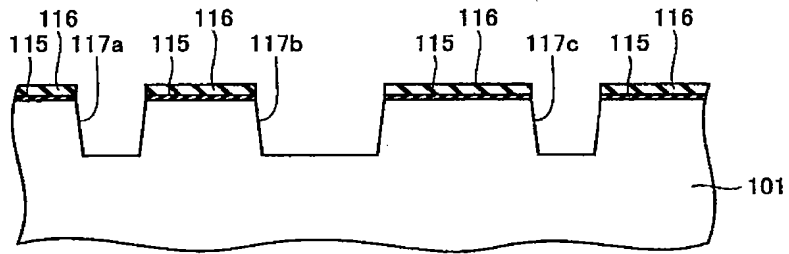


도면35



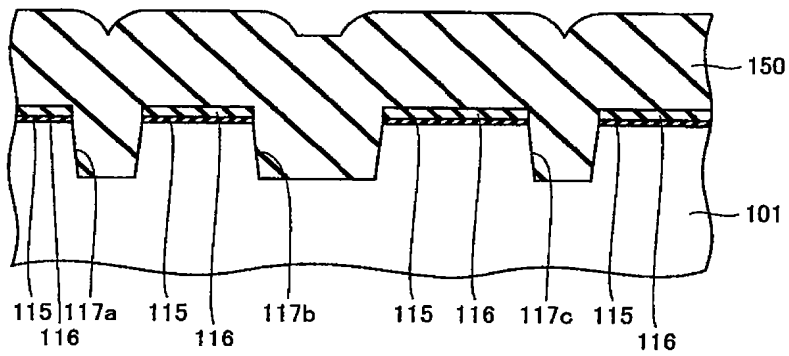
도면36

(종래 기술)



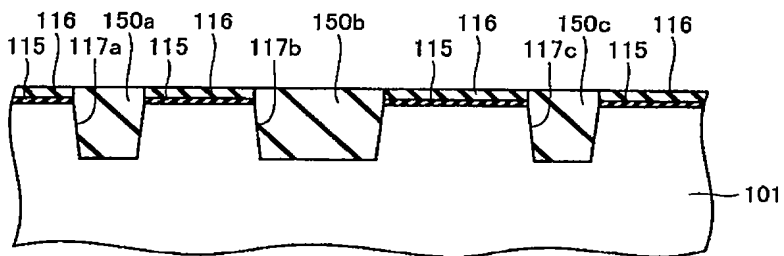
도면37

(종래 기술)



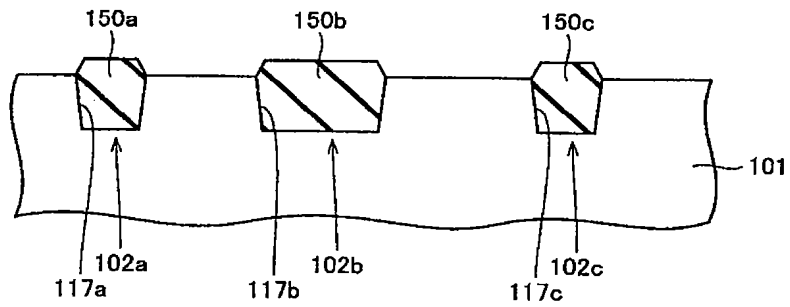
도면38

(종래 기술)



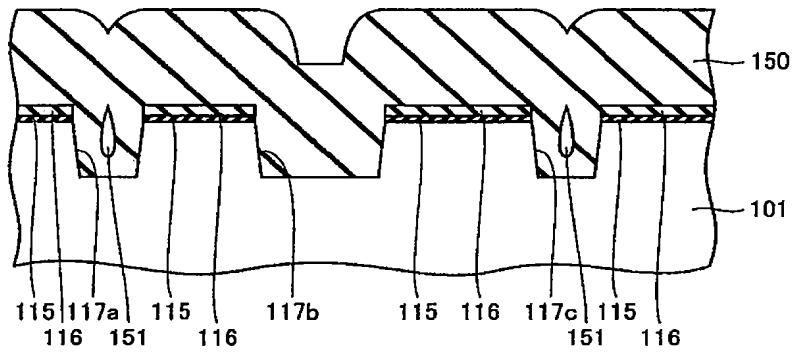
도면39

(종래 기술)



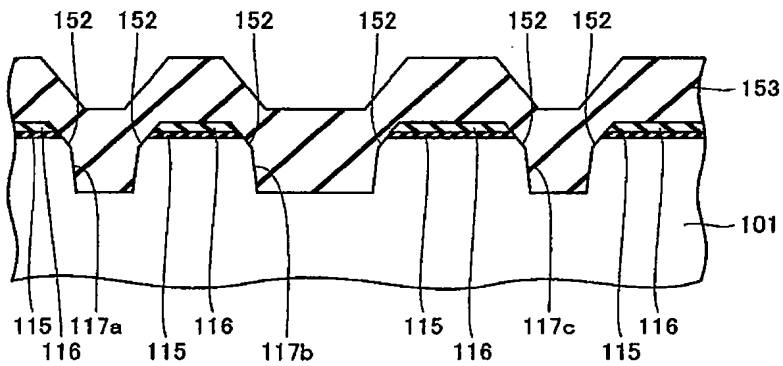
도면40

(종래 기술)



도면41

(종래 기술)



32-32